

**UNIVERSIDAD AUTONOMA DE NUEVO LEON**  
**FACULTAD DE INGENIERIA MECANICA Y ELECTRICA**  
**DIVISION DE ESTUDIOS SUPERIORES**

APLICACION DEL SISTEMA DE DESARROLLO  
 BASADO EN EL MICROPROCESADOR 6802  
 COMO UN FACTORIMETRO DIGITAL



**TESIS**

**UANL**

QUE PARA OBTENER EL GRADO DE  
 MAESTRO EN CIENCIAS  
 DE LA INGENIERIA ELECTRICA  
 CON ESPECIALIDAD EN ELECTRONICA

UNIVERSIDAD AUTONOMA DE NUEVO LEÓN

DIRECCIÓN GENERAL DE BIBLIOTECAS

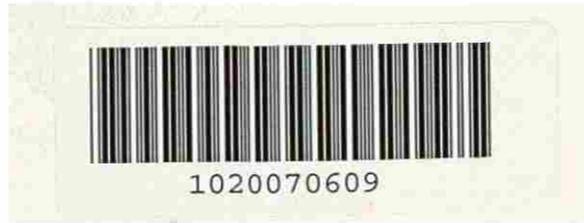
PRESENTA  
 LUIS MANUEL CAMACHO VELAZQUEZ

UNIVERSITARIA

SEPTIEMBRE DE 1991

1991  
 C32

TM  
2585  
.M2  
PRIME  
1991  
232



UANL

---

UNIVERSIDAD AUTÓNOMA DE NUEVO LEÓN



DIRECCIÓN GENERAL DE BIBLIOTECAS



**UNIVERSIDAD AUTONOMA DE NUEVO LEON**  
**FACULTAD DE INGENIERIA MECANICA Y ELECTRICA**  
**DIVISION DE ESTUDIOS SUPERIORES**



**APLICACION DEL SISTEMA DE DESARROLLO  
BASADO EN EL MICROPROCESADOR 6802  
COMO UN FACTORIMETRO DIGITAL**



**TESIS**  
**UANL**

QUE PARA OBTENER EL GRADO DE  
MAESTRO EN CIENCIAS  
DE LA INGENIERIA ELECTRICA  
CON ESPECIALIDAD EN ELECTRONICA  
DIRECCIÓN GENERAL DE BIBLIOTECAS

PRESENTA  
*LUIS MANUEL CAMACHO VELAZQUEZ*

CD. UNIVERSITARIA

SEPTIEMBRE DE 1991

TM  
ZS8S3  
.M2  
F ME  
1991  
C32

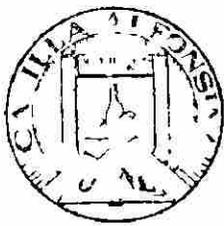


# UANL

UNIVERSIDAD AUTÓNOMA DE NUEVO LEÓN

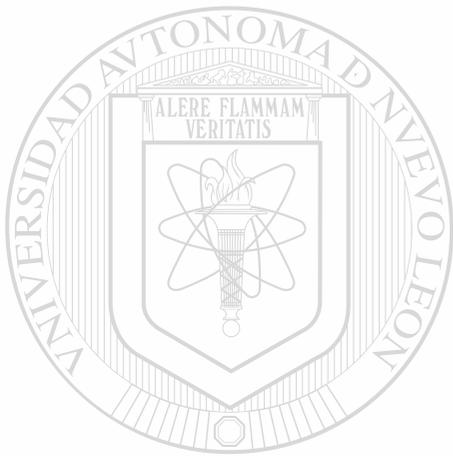


DIRECCIÓN GENERAL DE BIBLIOTECAS



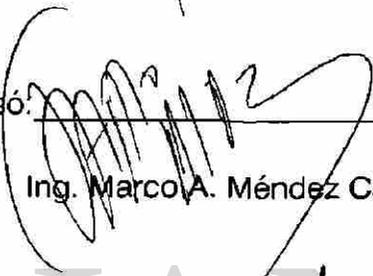
FONDO TESIS

163701



Revisó: 

Ing. Félix González Estrada  
Asesor

Revisó: 

Ing. Marco A. Méndez Cavazos

Revisó:   


Ing. Rodolfo Ayala Estrada

---

UNIVERSIDAD AUTÓNOMA DE NUEVO LEÓN

DIRECCIÓN GENERAL DE BIBLIOTECAS



**Con cariño y respeto a mis padres  
a quienes debo mucho de lo que  
tengo y soy:**

José Delfino J.

Luvia



**A mis hermanos por su ayuda  
y comprensión:**

José Delfino

Luvia Cecilia

Juan Carlos

Flor Amparo

Ana Elizabeth

UNIVERSIDAD AUTÓNOMA DE NUEVO LEÓN

DIRECCIÓN GENERAL DE BIBLIOTECAS



**Por su apoyo y ánimos:**

Fina

**A los Ingenieros del CEDIMI, por su  
invaluable ayuda y asesoría:**

César Augusto

José Antonio

Ana María G.

Uriel

Saul

José Angel

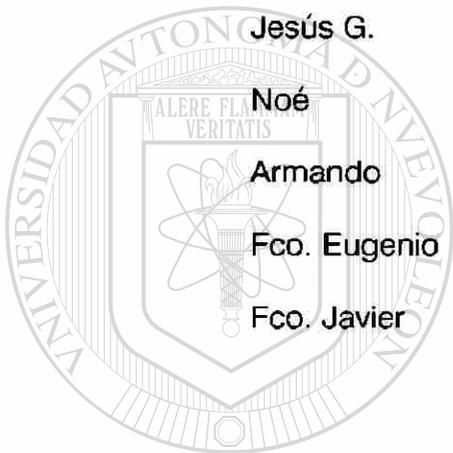
Jesús G.

Noé

Armando

Fco. Eugenio

Fco. Javier



UANL

---

**Por la ayuda y disposición para  
la realización de esta, a los  
Ingenieros:**

UNIVERSIDAD AUTÓNOMA DE NUEVO LEÓN

DIRECCIÓN GENERAL DE BIBLIOTECAS

Marco Antonio

Rodolfo

Félix

**Por su ayuda en el desarrollo del  
proyecto y edición de esta:**

David

Francisco

## INDICE

INTRODUCCION . . . . .	5
DESCRIPCION GENERAL DEL PROYECTO Y JUSTIFICACION . . . . .	6
MICROPROCESADOR 6802 . . . . .	7
a) Descripción general . . . . .	7
b) Características técnicas . . . . .	8
c) Estructura técnica . . . . .	13
d) Modos de programación . . . . .	17
DESCRIPCION DEL MICROMODULO . . . . .	20
DIAGRAMA DE BLOQUES DEL PROYECTO . . . . .	33
<hr/>	
EXPLICACION DEL PROYECTO . . . . .	35
DETECTORES . . . . .	38
a) Detector de Voltaje . . . . .	38
b) Detector de Corriente . . . . .	39
DISPLAY . . . . .	41
DESARROLLO DE SOFTWARE . . . . .	42
a) Diagrama de flujo . . . . .	43
b) Descripción del programa . . . . .	45
c) Listado del programa . . . . .	47

## INTRODUCCION

Las aplicaciones que se le dan a los sistemas desarrollados en base a microprocesadores son cada vez mayores en número y mas diversas las áreas en las que son aplicados, esto debido a la versatilidad y gran capacidad que tienen dichos sistemas para el procesamiento de información.

En el diseño de un sistema basado en microprocesadores se utilizan un conjunto de programas de aplicación general y un sistema físico, a los cuales se les puede configurar en diversas formas. El sistema de microprocesador programable de aplicación general, que resulta de la conjunción de los programas y sistema físico, suele recibir el nombre de Sistema de Desarrollo.

La configuración física del sistema de desarrollo debe ser muy variada, pero existen características que todo sistema debe tener:

- a) Una memoria externa de gran capacidad para almacenar programas de aplicación general y programas en desarrollo.
- b) Un conjunto de periféricos de entrada y salida que permitan al programador comunicarse, es decir enviar y recibir información del sistema. Entre los periféricos de mayor uso pudieramos mencionar un teclado alfanumérico, una pantalla ó monitor, así como una impresora.
- c) Un conjunto de programas de aplicación general.

El sistema de desarrollo, llamado también micromódulo, en el cual me baso para implementar el proyecto presentado fue diseñado en el Centro de Diseño y Mantenimiento de Instrumentos de la F.I.M.E. U.A.N.L., dicho sistema está basado en el microprocesador 6802. Junto con el sistema se desarrollo un software, el cual opera desde una P.C.; con dicho software el programador o usuario puede enviar programas que fueron capturados en la P.C. con lo que se ahorra tiempo al no tener que introducir dicho programa a través de un teclado al sistema de desarrollo.

## DESCRIPCION GENERAL DEL PROYECTO Y JUSTIFICACION

### Descripción general.-

El proyecto que se presenta es una aplicación del sistema de desarrollo basado en el microprocesador 6802 (Micromódulo), como un factorímetro digital.

El Factorímetro Digital medirá el factor de potencia de una carga en un sistema eléctrico. Dicho factor es una relación de la potencia real que consume la carga, con respecto la potencia aparente que le llega. El factorímetro mostrará en un display dicha relación.

### Justificación.-

El proyecto presentado tendrá aplicación, como ya se mencionó, en sistema eléctricos; aunque es conveniente señalar que el primer campo en cual se ocupará es en las prácticas de laboratorio de esta Facultad.

Siguiendo el lineamiento del programa que se ha emprendido en esta Facultad de crear equipo para enfrentar las demandas de los laboratorios, es como surgió la idea de este proyecto.

DIRECCIÓN GENERAL DE BIBLIOTECAS

## MICROPROCESADOR 6802

El microprocesador en base al cual está desarrollado el micromódulo es el 6802. De dicho microprocesador daré una explicación:

Un microprocesador es un circuito integrado de gran escala de integración, el cual puede trabajar con bajos niveles de voltaje y con un gran rango de temperatura de operación.

Las funciones básicas que desempeña un microprocesador son:

- a) Procesamiento de datos
- b) Operaciones lógicas
- c) Operaciones aritméticas
- d) Genera la señal de reloj del sistema
- e) Almacena datos en memoria interna
- f) Recibe y genera señales de control a otros dispositivos

El microprocesador MC6802 es la parte fundamental del sistema de desarrollo, y para una mejor comprensión del sistema se hará en este capítulo una descripción general de sus partes internas y su modo de funcionamiento.

### 1.-Descripción general

El MC6802 es un microprocesador monolítico de 8 bits que contiene todos los registros y acumuladores como el MC6800 más un oscilador, drivers y reloj interno en el chip. Además, el MC6802 contiene 128 bytes de memoria RAM localizadas en las direcciones hexadecimales 0000 a 007F. Los primeros 32 bytes de memoria RAM en las direcciones 0000 a 001F, pueden ser retenidas en un modo de baja potencia utilizando una fuente Vcc standby, facilitándose así la retención de la memoria cuando ocurre una situación de bajo voltaje. Todo dentro de un circuito integrado el cual será mostrado y detallado posteriormente.

El MC6802NS es idéntico al MC6802 pero sin las características de la memoria RAM standby.

Datos técnicos:

- Circuitos de reloj interno
- 128 x 8 bits de memoria RAM
- 32 bytes de memoria RAM standby
- Software compatible con el MC6800
- Expansible a 64k bytes
- Entradas y salidas compatibles con TTL
- Palabras de 8 bits de longitud
- Acceso a memoria con 16 líneas de dirección
- Capacidad de interrupción
- Frecuencia de 1 Mhz

## 2.-Características técnicas

Valores máximos

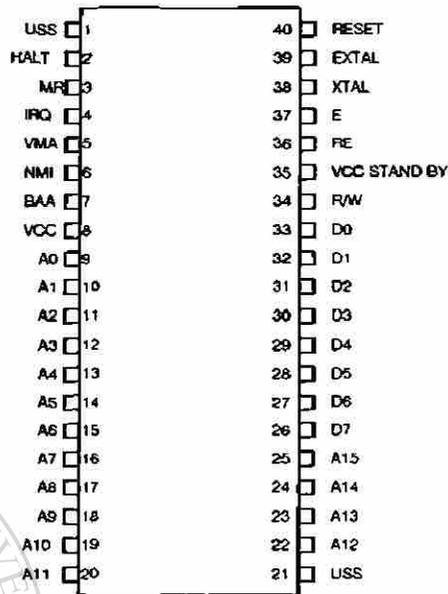
Parametro

Fuente de voltaje

Voltaje de entrada  $V_{in}$  -0.3 a +7.0

Temperatura de operación  $T_a$  0 a 70 xC

Temperatura de almacenamiento  $T_{stg}$  -55 a +150 xC



microprocesador 6802

### Descripción de las señales del MPU

Para operar correctamente el MPU requiere de ciertas señales de tiempo y de control para llevar a cabo funciones específicas y monitorear otras líneas de señal para determinar el estado del microprocesador. Estas señales de control y de tiempo son similares a las que utiliza el microprocesador MC6800, excepto que TSC, DBE, h1, entrada h2, y dos terminales que no se usan se han eliminado y se añaden las siguientes señales y líneas de tiempo

DIRECCION GENERAL DE BIBLIOTECAS

Habilitador de RAM (RE)

Conexiones de cristal EXTAL y XTAL

Memoria preparada (MR)

Vcc standby

Salida habilitadora h2 (E)

El siguiente es un resumen de las señales del MPU:

**Bus de direcciones (A0 - A15).**- Dieciseis terminales se usan para el bus de direcciones. Las salidas son capaces de manejar una carga TTL standar y 90 pf. Estas líneas no poseen la característica de tres estados (three state).

**Bus de datos (D0 - D7).**- Se usan 8 terminales para bus de datos. Este es bidireccional, se transfieren datos hasta y desde la memoria o dispositivos periféricos. Tiene buffers de salida de tres estados capaces de manejar cargas TTL standar y 130 pf.

El bus de datos estará en el modo de salida cuando accese al RAM interno y RE tenga un nivel alto (1 lógico). Esto prohíbe la entrada de datos externos al MPU. Debe aclararse que el RAM interno está codificado desde la dirección \$0000 hasta \$007F. Por lo tanto el RAM externo debe deshabilitarse cuando se accese al RAM interno.

**HALT.**- Cuando esta entrada está en estado bajo (0 lógico), toda actividad en el MPU se detendrá. Esta entrada es sensible niveles de señal. En el modo HALT, el MPU se detendrá al final de una instrucción, el bus disponible se pondrá en un nivel alto, y la dirección de memoria válida estará en un nivel bajo. El bus de direcciones mostrará la dirección de la próxima instrucción.

Para asegurar la operación de una instrucción, la transición de la línea HALT debe ocurrir en un tiempo t<sub>pcs</sub> antes de la transición de la salida habilitadora E y la línea HALT debe ponerse en un "1" durante un ciclo de reloj.

La línea HALT debe conectarse a un nivel alto.

**Lectura/Escritura (R/W).**- Esta salida es compatible con cargas TTL, señala a los periféricos y los dispositivos de memoria que el microprocesador está en estado de lectura (estado alto) ó de escritura (estado bajo). Cuando el procesador está detenido por medio de una señal HALT, éste se encuentra en estado de lectura. Esta salida es capaz de manejar una carga TTL standar y 90 pf.

**Direcciones válidas de Memoria (VMA).**- Esta salida indica a los dispositivos periféricos que existe una dirección válida en el bus de direcciones. En operación normal, esta señal puede ser utilizada para habilitar interfases periféricas tales como el VIA y el ACIA. Esta señal no es de tres estados. Puede manejar directamente una carga standar TTL y 90 pf por una señal activa alta.

**Bus disponible (BA).**- La señal de bus disponible estará normalmente en estado bajo cuando está activada se pondrá en un nivel alto indicando que el microprocesador se ha detenido y que el bus de direcciones está disponible (pero no en una condición de tres estados; Esto ocurrirá si la línea HALT está en su estado bajo o el procesador está en el estado WAIT como resultado de la ejecución de una instrucción WAIT. Al mismo tiempo todos los drivers de salida de tres estados y otras salidas irán a su nivel normal de operación. El procesador saldrá de su estado WAIT cuando ocurra una interrupción enmascarable o no enmascarable. Esta salida es capaz de manejar un carga estándar TTL y 30 pf.

**Petición de Interrupción (IRQ).**- Un nivel bajo en esta entrada pide que una secuencia de interrupción se genere dentro del procesador. El procesador se esperará a que se completen las instrucciones corrientes que empezaron a ejecutarse antes de reconocer la petición. Al mismo tiempo, si el bit de la máscara de interrupción en el registro de código de condición no está puesto en "1", el procesador empezará una secuencia de interrupción. El registro índice, el contador del programa, los acumuladores, y el registro de código de condición se almacenan en el stack. Después el MPU responderá a la petición de interrupción poniendo el bit de la máscara en un "1" para inhibir las interrupciones que puedan ocurrir. Al final del ciclo, un vector de dirección de 16 bits en las localidades de memoria \$FFF8 y \$FFF9, se cargarán para provocar un brinco hacia una rutina de interrupción en la memoria.

La línea HALT debe estar en un nivel alto para atender a las interrupciones. Las interrupciones pueden ser retenidas internamente mientras la línea HALT esté en estado bajo. Una resistencia nominal de 3K a Vcc (resistencia pull-up) puede usarse para un óptimo control de las interrupciones. La línea IRQ puede conectarse directamente a Vcc si no se va a usar.

**Reset.**- Esta entrada reestablece e inicializa al MPU, a partir de una falla en la fuente de poder ó un encendido inicial del procesador. Cuando ésta línea está en nivel bajo, el MPU está inactivo y la información en los registros puede perderse. Si se detecta un nivel alto en la entrada, se señalará al MPU la secuencia de

reestablecimiento. Esto iniciará la ejecución de una rutina de inicialización del procesador desde su condición de reestablecimiento. Para reestablecerse, las últimas dos localidades de memoria (\$FFFE y \$FFFF) serán usadas para cargar el programa que está direccionado por el contador del programa. Durante esta rutina, el bit de la máscara de interrupción está en "1" y debe ser puesto en "0" antes de que el MPU pueda ser interrumpido por IRQ.

Cuando el reset sea puesto en un nivel bajo, debe mantenerse en este estado al menos tres ciclos de reloj. Este es el tiempo adecuado para responder internamente al reestablecimiento.

**Interrupción no Enmascarable (NMI).**- Una transición negativa en ésta entrada pide que una secuencia de interrupción no enmascarable sea generada dentro del procesador. Con la señal de petición de interrupción, el procesador completará las instrucciones corrientes que están siendo ejecutadas antes del reconocimiento de la señal NMI. El bit de la máscara de interrupción en el registro del código de condición no tiene efecto sobre NMI.

El registro índice, contador del programa, acumuladores, y registro de código de condición son almacenados en el Stack. Al final del ciclo, un vector de dirección de 16 bits en las localidades de memoria \$FFFC y \$FFFD es cargado en el contador del programa y le ocasionará al MPU un brinco a una rutina de interrupción en memoria.

Puede usarse una resistencia nominal de 3k conectada a Vcc para un óptimo control de las interrupciones. El NMI puede conectarse directamente a Vcc si no va a ser usado.

Las entradas IRQ y NMI son líneas de interrupción por hardware que son muestreadas cuando E es de nivel alto y comienza una rutina de interrupción cuando se pone E en un nivel bajo siguiendo la terminación de una instrucción.

**Habilitador de RAM (RE).**- Una entrada habilitadora de RAM compatible con TTL controla al RAM del MC6802. Cuando se coloca en estado alto, la memoria del chip se habilita y responde a los controles del MPU. En el estado bajo, el RAM se deshabilita.

Esta entrada puede utilizarse para deshabilitar la lectura y escritura del RAM del chip en una situación de bajo voltaje. El habilitador del RAM debe estar en estado bajo tres ciclos antes de que el Vcc vaya abajo de 4.75V durante el bajo voltaje.

**Extal y Xtal.-** Estas entradas se usan para que el oscilador interno pueda controlarse por un cristal externo conectado en paralelo. Un circuito divisor por cuatro ha sido añadido para que un cristal de 4Mhz pueda utilizarse en vez de un cristal de 1Mhz y así tener un sistema más efectivo. La terminal 39 (EXTAL) puede estar cargada externamente por una señal de entrada de 4 veces la frecuencia requerida por el reloj del habilitador (E). La terminal 38 (XTAL) debe aterrizarse.

**Memoria lista (MR).-** MR es una señal de entrada compatible con cargas TTL y controla la dilatación de la señal habilitadora E. EL uso de MR requiere sincronización con la señal 4xfo. Cuando MR está en estado bajo, E se dilatará en un numero entero de medios periodos, consiguiendo una interfase para memorias lentas. Cuando MR está en estado alto, E operará normalmente.

**Habilitador (E).-** Esta terminal proporciona el reloj para el MPU y el resto del sistema. Este es un reloj de fase sencilla compatible con cargas TTL. Este reloj puede ser condicionado por una señal de memoria lista. Esta señal es equivalente a 2 del MPU 6800. Esta salida es capaz de soportar una carga standar TTL y 130 pF.

**Vcc Standby.-** Esta terminal proporciona el voltaje de corriente directa para los primeros 32 bytes del RAM así como al control lógico del habilitador del RAM (RE).

### 3.- Estructura Interna

Registro internos del MC6802

Acumulador A (A)

El acumulador A es un registro de 8 bits (un byte) dentro de un MPU, usado para retener temporalmente las operaciones del MPU efectuadas por la unidad aritmética y lógica del MPU.

## Acumulador B (B)

El acumulador B es también un registro de 8 bits (un byte) dentro del MPU, y se usa para retener temporalmente las operaciones hechas por la unidad aritmética y lógica del MPU.

## Registro Índice (X)

El registro índice, a menudo se representa con una X, es un registro de 16 bits (2 bytes) que se usa principalmente para modificar direcciones cuando se utiliza el modo de direccionamiento indexado. Este registro puede decrementar, incrementar, cargar, almacenar o comparar.

## Contador del Programa (PC)

El contador del programa es un registro de 16 bits (2 bytes) que contiene la dirección del próximo byte de instrucción que será traído de la memoria. Cuando esta dirección se coloca en el bus de dirección, el contador del programa se incrementa automáticamente.

## Stack Pointer (SP)

El stack pointer es otro registro de 16 bits (2 bytes) que contiene una dirección inicial, generalmente en el RAM, donde los estados de los registros del MPU pueden almacenarse cuando el MPU tiene otras instrucciones que hacer, tales como atender una interrupción ó cuando recibe una instrucción Branch (BSR). La dirección en el Stack Pointer es la dirección inicial de las localizaciones de la memoria secuencial en RAM, donde los contenidos de los registros del MPU se almacenan. El contenido del MPU se almacena en el RAM de la siguiente manera:

Dirección del Stack Pointer-0 Contenido del PCL

Dirección del Stack Pointer-1 Contenido del PCH

Dirección del Stack Pointer-2 Contenido del IXL

Dirección del Stack Pointer-3 Contenido del IXH

Dirección del Stack Pointer-4 Contenido del A

Dirección del Stack Pointer-5 Contenido del B

Dirección del Stack Pointer-6 Contenido del CC

Después de que el contenido (estado) de cada registro se almacena en el Stack Pointer, éste se decrementa. Cuando el Stack está descargado (cuando se vuelven a almacenar los estados de los registros), el estado del último registro en el Stack será el primero en volverse a almacenar.

#### Registro de Código de Condición

El registro de código de condición es un registro de 8 bits (1 byte) usado por las instrucciones Branch para determinar si el MPU debe ejecutar una instrucción localizada en alguna dirección que no sea la siguiente en la secuencia del programa. Las instrucciones Branch pueden ocurrir de acuerdo al estado de ciertos bits específicos en este registro. Se debe enfatizar que las diferentes instrucciones afectan los distintos bits de este registro de diferentes maneras.

Los bits 6 y 7 de este registro siempre permanecen en 1, es decir, realmente no se usan como condiciones para una instrucción Branch. Los otros bits, del 0 al 5, están designados como los bits H, I, N, Z, V y C, como se muestra en la figura.

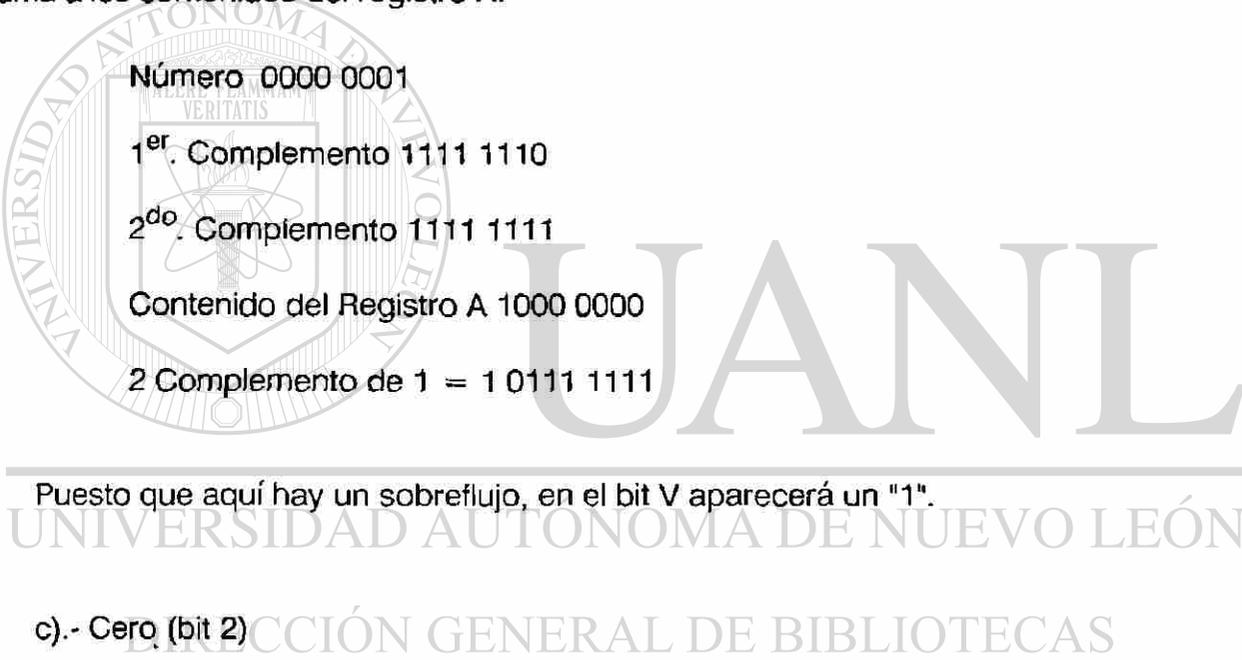
#### a).- Acarreo / préstamo (bit C)

En este bit (bit 0) del registro de código en condición aparecerá un 1 si, después de la ejecución de ciertas instrucciones, hubo un acarreo del bit mayor peso de los resultados de la operación que se está realizando, de no ser así, se borrará.

b).- Sobreflujo (bit V)

En este bit (bit 1) del registro de código de condición aparecerá un "1" cuando de una operación aritmética resulte un sobreflujo de un 2 complemento; y aparecerá un 0 si no hay un sobreflujo de un 2 complemento. Un sobreflujo de un 2 complemento se presenta generalmente si el resultado de la última operación es un número que sobrepase el rango de + 127 de un registro de 8 bits.

Recuerde que la resta se completa con adición del 2 complemento, entonces, para restar el "1" (DEC) del registro A, se debe encontrar su 2 complemento y entonces se suma a los contenidos del registro A.



Número 0000 0001  
1<sup>er</sup>. Complemento 1111 1110  
2<sup>do</sup>. Complemento 1111 1111  
Contenido del Registro A 1000 0000  
2 Complemento de 1 = 1 0111 1111

---

Puesto que aquí hay un sobreflujo, en el bit V aparecerá un "1".

c).- Cero (bit 2)

En este bit (bit 2) del registro de código de condición aparecerá un "1" si el resultado de una operación aritmética es "0"; si no es así, aparecerá un cero.

d). Negativo (bit N)

En este bit (bit 3) del registro de código de condición aparecerá un "1", si el bit 7 de una operación aritmética es un "1". Si el resultado de la operación aritmética en el bit 7 es un cero, entonces este bit también será un cero.

e). Máscara de Interrupción (bit I)

Este bit (bit 4) del registro de código de condición inhibe todas las interrupciones IRQ cuando tiene un 1. Si este bit es igual a 0, el procesador puede ser interrumpido por un IRQ en el estado bajo, (cero lógico). Este bit 1 puede ser puesto en un 1 con la instrucción SEI; será puesto en un 1 por el MPU si una interrupción ocurre ó la instrucción SWI es ejecutada. Este bit puede ser borrado (I-0) cuando el MPU encuentra un RTI si la interrupción fue causada por la línea de entrada IRQ ó por la instrucción CLI.

f). Medio Acarreo (bit H)

Este bit (bit 5) del registro de código de condición será un 1, sí, durante una operación aritmética que envuelve las instrucciones ABA, ADC y ADD, hay un acarreo del bit 3 al bit 4 en los resultados. Si no hubo un acarreo al bit 4, el bit H será cero.

#### 4. Modos de Programación

Set de Instrucciones de MPU 6802

UNIVERSIDAD AUTÓNOMA DE NUEVO LEÓN

El set de instrucciones tiene 72 instrucciones diferentes. Este incluye:

- Aritmética binaria y decimal.
- Operaciones lógicas.
- Corrimientos.
- Rotaciones.
- Carga y obtención del contenido de los acumuladores, y registro índice.
- Saltos condicionales e incondicionales.
- Instrucciones para la manipulación de interrupciones y stack.

## Modos de direccionamiento del MPU 6802.

Hay seis modos de direccionamiento que puede usar un programador. Un sumario de los modos de direccionamiento de una instrucción en particular se encuentra en el set de instrucciones y además se especifica el tiempo asociado con la ejecución de dicha instrucción, este tiempo se especifica en ciclos máquina. Con una frecuencia del sistema de 1MHz, estos tiempos pueden llegar a ser microsegundos.

**Modo de direccionamiento inmediato.** En el direccionamiento inmediato, los byte(s) del código de la máquina que siguen de la instrucción son el valor que se usará para la ejecución. El valor inmediato será de uno o dos bytes dependiendo de la longitud del registro que se utiliza.

**Modo de direccionamiento directo.** En el direccionamiento directo, la dirección real sobre la cual se va a ejecutar la instrucción aparece explícita en el siguiente byte después de la instrucción.

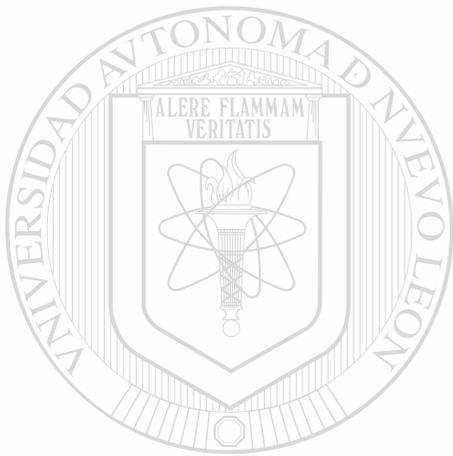
**Modo de direccionamiento extendido.** En el direccionamiento extendido, la dirección real sobre la cual se va a ejecutar la instrucción aparece explícito en los dos bytes siguientes a la instrucción.

**Modo de direccionamiento indexado.** En este modo de direccionamiento, la dirección real es variable y depende de dos factores: (1) El contenido actual del registro índice (Ix) y (2) El offset contenido en el segundo byte de la instrucción. Cualquier instrucción indexada requiere de dos bytes, en el primero se coloca la instrucción seguido del valor del offset. Si no se requiere un offset la instrucción deberá contener un \$00 en el byte destinado al offset.

**Modo de direccionamiento implícito.** Varias instrucciones del MC6802 no requieren de operando debido a que la dirección sobre la cual se realiza la operación es inherente a la instrucción. Por ejemplo, el microprocesador al ejecutar una instrucción ABA suma los contenidos del acumulador A y B y coloca el resultado en el acumulador A. El lector debe notar que todas las instrucciones implícitas requieren de un solo byte de memoria para el código máquina.

**Modo de direccionamiento relativo.** En los modos de direccionamiento extendido y directo las direcciones a que se hace referencia son valores absolutos. En el modo de direccionamiento relativo se usa solamente para las instrucciones de brincos y de especifica una dirección relativa (Offset) a el valor del contador del programa.

Las instrucciones de brincos siempre son de 2 bytes: una para la instrucción del brinco y otro para el offset relativo. Como es necesario hacer brincos hacia adelante y hacia atrás, el offset tiene un signo que identifica hacia que dirección se va a brincar, el offset puede variar desde -128 hasta + 127.



# UANL

---

UNIVERSIDAD AUTÓNOMA DE NUEVO LEÓN



DIRECCIÓN GENERAL DE BIBLIOTECAS

## Descripción del Micromódulo

Es conveniente dar una descripción del Micromódulo en base al cual fué desarrollado el factorímetro para así facilitar la explicación y comprensión del funcionamiento del módulo.

A continuación se mostrarán las características generales del sistema:

- Se emplea un microprocesador MC6802, además de interfases para comunicación con el mundo exterior tales como ACIA 6850 (Interfase Adaptadora de Comunicación Asíncrona ), VIA 6522 (Adaptador Versátil de Interfases) y circuitos para la codificación del mapa de memoria.
- El mapa de memoria de codificación interna consta de 12K bytes de memoria interna y posibilidad de expansión externa de hasta 32K bytes.
- Tres lugares para EPROM/RAM de 1,2 y 4k bytes cada uno, total 12k internos, 40 líneas de entrada/salida programables, un puerto serie con salida de RS-232C ó Lazo de 20mA., buffers para los tres buses.
- Conectores para entrada/salida de tipo 22/44 y para expansión conector de 28/56, compatible de la tarjeta: con el standard bus.
- Dimensiones de la tarjeta: 15.5 x 11.5 centímetros.

Para un mayor conocimiento del sistema, se dará a continuación una descripción mas detallada de los dispositivos periféricos que éste contiene, incuyendo sus modos de operación y la forma en que se programa cada uno.

### 6850 ACIA

El ACIA es un dispositivo periférico que se usa para recibir y transmitir hasta 8 bits de datos en forma serie y contiene internamente cuatro registros que pueden ser

direccionados por el MPU, dos de los cuales se puede leer y dos en los cuales sólo se puede escribir. Los primeros son el registro de datos (SR) y el registro de recepción de datos (RDR) y los segundos son el registro de control (CR) y registro de transmisión de datos (TDR).

## **Líneas MPU - ACIA**

**Lineas de datos bidireccionales (D0-D7).**- Estas ocho lineas permiten la transferencia de datos entre el MPU y el ACIA, y son bidireccionales.

**Lineas de selección (CS0,CS1,CS2).**- Estas terminales se conectan a las lineas de dirección del MPU y se usan para seleccionar a un ACIA en particular. Para esto, CS0 y CS1 deben estar en "1" y CS2 deben estar en "0", y es necesario que se mantenga en estos estados durante la presencia del pulso habilitador.

**Habilitador (E).**- El pulso habilitador proviene del MPU y habilita los buffers de entrada/salida del ACIA para la transferencia de datos entre los dos dispositivos.

**Lectura/Escritura (R/W).**- Entrada para colocar la dirección de los datos entre el ACIA y el MPU. Cuando R/W es igual a "1" el MPU lee el registro seleccionado (de estado o de recepción) mientras que si el R/W es igual a "0" escribe en el registro seleccionado (de control ó de transmisión).

**Selección de registros (RSs).**- Se usa para seleccionar, conjuntamente con R/W, los registros de transmisión/recepción

(RS = 1) o de control/estado (RS = 0).

**Petición de interrupción (IRQ).**- Esta salida se usa para interrumpir al MPU al ocurrir ciertos eventos (que se describen en los próximos apartados). Es activa (interrumpe) en el estado bajo "0" y permanece allí mientras la causa de la interrupción esté presente y las interrupciones debidas a ese motivo estén habilitadas.

## Lineas Modem - ACIA

**Fin de transmisión (CTS).**- Esta entrada proporciona un control automático del fin de transmisión, ya que cuando CTS = 1 mantiene en "0" el bit 1 del registro de estado (SR). Si ésta terminal no va a usarse, debe conectarse a tierra. CTS es una salida del modem.

**Petición de envío (RTS).**- El estado de esta salida se puede controlar con los bit 6 y 5 del registro de control. Puede conectarse a DTR (terminal de datos lista) en el modem.

**Detector de portadora de datos (DCD).**- Esta entrada permite un control automático del fin de recepción por medio de la salida DCD del modem. Cuando DCD es igual a "1" inhibe e inicializa la sección de recepción del ACIA. Una transición positiva en esta línea causa una interrupción para indicar que el modem local dejó de recibir datos del modem remoto. En otras palabras, para que el ACIA pueda recibir datos es necesario que esta línea valga cero, por lo cual si no se va a usar, debe conectarse a tierra.

**Entradas de reloj.**- Hay disponibles 2 entradas de reloj, una para el transmisor (TXC) y otra para el receptor (RXC), de tal manera que la velocidad de los datos transmitidos y la de los recibidos puede ser diferente, si es necesario. La velocidad de los datos puede ser, a elección del programador, de 1, 1/6 ó 1/64 de la frecuencia del reloj correspondiente (transmisor ó receptor).

## DIRECCIÓN GENERAL DE BIBLIOTECAS

**Recepción de datos (RDX).**- Es la entrada a través de la cual se reciben los datos en formato serie NRZ (sin retorno a cero). Cuando se usan los modos :16 ó :64 internamente se logra una sincronización para detectar los datos, pero en el modo :1, esta debe conseguirse externamente.

**Transmisión de datos (TDX).**- Salida para transmitir los datos (en formato) serie NRZ) hacia un modem o cualquier otro periférico. Aquí también se aplica lo referente a los modos :1, :16 y :64.

## Registros del ACIA

Como se explicó anteriormente el MPU tiene acceso a cuatro registros dentro del ACIA, mismos que se explicarán en esta sección. Una característica importante que encontramos en el ACIA es el llamado Double Buffering, Así, por ejemplo, los datos recibidos en serie se almacenan en un registro de corrimiento y después se transfieren al RDR, donde el microprocesador puede leerlos en paralelo. Análogamente, para transmitir datos se envían estos en paralelo al TDR y luego se pasan a un registro de corrimiento transmisor para enviarse en forma serie.

**Registro de transmisor de datos (TDR).**- Registro de 8 bits para almacenar los datos proporcionados por el MPU hasta que sean transferidos al registro de corrimiento transmisor.

**Registro de recepción (RDR).**- Registro de 8 bits para almacenar los datos recibidos a través de la línea TDX. De este registro el MPU puede leer (en paralelo) los datos recibidos.

b0 Registro de recepción de datos (RDRF).

"1" indica que RDR tiene un dato para el MPU.

"0" indica que el MPU leyó el dato en RDR. Debido a que este registro es de lectura, el dato se mantiene allí aún después de leerlo.

b1 Registro de transmisión de datos (TDRE).

"1" indica que el contenido de TDR se ha transmitido (o se está transmitiendo) y que está listo para aceptar otro dato.

"0" indica que TDR tiene un dato que no ha sido transmitido.

b2 Detector de portadora (DCD)

"1" indica que el modem local dejó de recibir los datos provenientes del modem remoto. Este bit sube a "1" al presentarse una transición positiva de la línea DCD. Para borrarlo es preciso leer SR y RDR (en ese orden) o dar reset maestro.

"0" los datos provenientes del modem remoto que se estan recibiendo.

#### b3 Fin de transmisión (CTS)

"1" indica que la linea CTS esta en "1" y que por lo tanto el modem no esta listo para recibir los datos proporcionados por el ACIA.

"0" indica que la linea CTS esta en cero y que el modem puede ahora ser usado tanto para recibir como para transmitir datos.

#### b4 Error de cuadratura (FE)

"1" significa que el carácter recibido llegó el mal encuadrado. Este error se detecta por la presencia de un bit stop inválido (=0) e indica un error de sincronización, una transmisión defectuosa, o la recepción de un carácter formado solamente por ceros (BREAK). Esta bandera se activa cuando se recibe un dato y se transfiere del registro de corrimiento al RDR, así que permanecerá en este estado mientras el carácter esté disponible.

#### b5 Sobrecarrera (OVRN)

"1" indica que uno o varios caracteres fueron recibidos, pero no leídos, antes de recibir los siguientes. Esta condición comienza al recibir el segundo caracter sucesivamente sin leer RDR, pero no se detecta en SR hasta que el MPU lee el dato que está disponible en RDR. Este dato es válido y es precisamente el primero que se recibió y no fue leído, ya que cuando RDR está lleno, la transferencia del registro de corrimiento a este (RDR) se inhibe automáticamente. La lectura del dato ocasiona  $b5 = 1$  y  $b0 = 0$ .

#### b6 Error de paridad (PE)

"1" indica un error de paridad, es decir, que el número de unos en la palabra recibida no concuerda con el tipo de paridad (par ó impar) preseleccionada. Se habla de paridad par cuando el número total de unos es par y de paridad impar cuando sucede lo contrario. Esta bandera se actualiza durante la transferencia interna del dato recibido del registro de corrimiento al RDR.

## b7 Bandera de interrupción (IRQ)

"1" indica que hay una interrupción presente que ha causado que la línea IRQ vaya a "0". La interrupción se borrará leyendo RDR, escribiendo en TDR, o con reset maestro.

Reset maestro.-Borra SR (excepto CTS y DCD, los cuales están controlados por las líneas correspondientes) e inicializa la sección de recepción y la de transmisión. No tiene efecto sobre los bits de CR.

b5 y b6.- Permiten el control de la salida RTS y de la transmisión de breaks (espacios), además de permitir o inhibir las interrupciones del transmisor (transición positiva en TDRE).

## 6522 VIA

El Adaptador Versátil de Interfases (VIA) se utiliza en el micromódulo como un cuarto de entrada/salida y sus características son las siguientes:

- Contiene dos puertos de 8 bits cada uno (A y B) en los cuales cada uno de los bits puede ser seleccionado independientemente como una entrada ó como una salida.
- Cuatro líneas de control y de estado (Una de control y una de estado para cada uno de los puertos).
- Dos Relojes/Contadores de 16 bits cada uno que se usan para generar un contador de pulsos. Estos relojes pueden producir pulsos sencillos ó una serie de pulsos continuos, dependiendo de la forma en que se programen.
- Un registro de corrimiento de 8 bits que cambia datos de forma serie a forma paralelo y viceversa.
- Lógica de Interrupción, con la cual la entrada/salida de datos puede proceder sobre las bases de interrupción.

Esta lógica de interrupción incluye un registro bandera de interrupción que anuncia cuando una interrupción en particular ha ocurrido y un registro habilitador de interrupciones que determina cuando una interrupción ha sido permitida.

El VIA ocupa 16 localidades de memoria y la forma en la que este opera está determinada por el contenido de cuatro registros:

- Registro de Dirección de Datos A (DDRA) Determina si las terminales en el puerto A son de entrada ó salida.
- Registro de Dirección de Datos B (DDR B) Determina si las terminales en el puerto B son de entrada ó salida.
- Registro de Control de Periféricos (PCR). Determina con que polaridad de transición (Transición positiva ó negativa) se reconoció en la línea de estados de entrada (CA1 y CB1) y como operan las otras líneas de estado (CA2 y CB2).
- Registro Auxiliar de Control (ACR). Determina si los puertos de datos estan bloqueados y como operan los Relojes y los Registros de Corrimiento.

**Operación del Puerto A y del Puerto B.-** Cada puerto periférico tiene un registro de dirección de Datos (DDRA, DDRB) como se había mencionado, éstos registros se utilizan para especificar si las terminales de los puertos actúan como entradas o salidas. Un cero en una de las terminales del Registro de Dirección de Datos provoca que la correspondiente terminal del puerto periférico actúe como una entrada. Un uno provoca que la terminal del puerto actúe como una salida.

Cada terminal periférica es también controlada por un bit en el Registro de Salida (ORA, ORB) y un Registro de Entrada (IRA, IRB). Cuando la terminal es programada como una salida, el voltaje sobre la terminal es controlado por la correspondiente terminal del registro de Salida. Un "1" en el Registro de Salida provoca que la salida se ponga en un nivel alto, y un cero provoca un nivel bajo. Los datos pueden estar escritos en los bits del Registro de Salida correspondiendo a las terminales que son programadas como entradas, en este caso la señal de salida no se ve afectada.

La lectura de un puerto periférico provoca que el contenido del registro de entrada (IRA, IRB) se transfieran hasta el bus de datos. Con una entrada latching deshabilitada, IRA siempre reflejará los niveles en las terminales PA a la vez que el latching ocurre (via CA1).

El registro IRB opera en forma similar al registro IRA. Por lo tanto para terminales programadas como salida hay una diferencia. Cuando se está leyendo IRA, el nivel sobre la terminal determina si existe un "0" ó un "1". Cuando se lee IRB, el bit almacenado en el registro de salida (ORB) es el bit existente. Así, para salidas que tienen grandes efectos de carga y áquellas en que una salida de "1" está bajando o una salida de "0" está subiendo, leyendo IRA puede resultar en leer un cero cuando un "1" está programado y leer un uno cuando un "0" está programado. De otra forma, leyendo IRB, se leerá el "1" ó "0" que está actualmente programado no importa la carga de la terminal.

**Control handshake de la transferencia de datos.-** El VIA permite un control positivo de la transferencia de datos entre el sistema procesador y los dispositivos periféricos por medio de las líneas de handshake. Las líneas de datos handshake del puerto A (CA1, CA2) operan del modo escritura/lectura mientras que las líneas handshake del puerto B sólo operan del modo escritura.

**Lectura Handshake.-** El control positivo de la transferencia de datos desde los dispositivos periféricos hasta el sistema procesador, puede ser llevada a cabo efectivamente usando la lectura handshake. En este caso el dispositivo periférico debe generar el equivalente a una señal "dato listo" para que el procesador reconozca que un dato válido está presente en el puerto periférico. Esta señal normalmente interrumpe el procesador el cual entonces lee el dato, causando generación de una señal "dato tomado". El dispositivo periférico responde haciendo accesible un nuevo dato. Este proceso continúa hasta que termina la transferencia de datos.

En el 6522, la lectura handshake automática sólo es posible en el puerto periférico. La entrada de interrupción CA1 acepta la señal "dato listo" y CA2 genera la señal "dato tomado". La señal "dato listo" pondrá una bandera interna la cual puede interrumpir el procesador o puede ser puesta bajo control del programa. La señal "dato tomado" puede ser también un pulso o un nivel, que es puesto a "0" por el sistema procesador y es limpiado por la señal "dato listo".

**Escritura Handshake.-** La secuencia de operaciones que permiten realizar el handshake de los datos desde el sistema procesador a un sistema periférico es muy similar al descrito por la lectura handshake. Por lo tanto, para escritura handshake el VIA genera la señal dato listo y el dispositivo periférico debe responder con la señal "dato tomado". Esto puede ser llevado a cabo en ambos puertos (PA, PB) del VIA. CA2 ó CB2 actúan como una salida "dato listo" en cualquier modo handshake o modo pulso

y CA1 ó CB1 aceptan la señal "dato tomado" del dispositivo periférico, poniendo una bandera de interrupción y limpiando la salida "dato listo".

La selección de modos de operación para CA1, CA2, CB1 y CB2 y se lleva a cabo por el registro periférico de control.

**Operación del Timer 1.-** El timer interno consiste de dos memorias de 8 bits y un contador de 16 bits. Las memorias se usan para colocar los datos a cargar dentro del contador. Después de cargarlos el contador decrementa a una velocidad igual al reloj  $f_i/2$ . Una vez que llega a cero, una bandera de interrupción se colocará, e IRQ se pondrá en "0" si la interrupción se habilita. El timer entonces inhabilitará cualquier interrupción posterior, ó se transfiere automáticamente el contenido de las memorias hacia el contador y continuará decrementándose. Además, el timer puede programarse para invertir la señal de salida en una terminal de periféricos cada vez que ocurre un "tiempo fuera". Cada uno de estos modos se discute a continuación:

**Modo One-Shoot del timer 1.-** El modo one-shot del timer permite la generación de una interrupción sencilla para cada operación sencilla para cada operación de carga del timer. Como con algún intervalo del timer, el retardo entre al operación "escritura en T1C-H" y la generación de la interrupción del procesador es una función directa de los datos cargados en el contador de tiempo. Además para generar una interrupción sencilla, el Timer 1 puede ser programado para producir un pulso negativo sencillo en la terminal PB7 del periférico. Con la salida habilitada ( $ACR7 = 1$ ) una operación "escritura en T1C-H" causará que PB7 tome un nivel abajo. PB7 regresará a un nivel alto cuando el Timer 1 haya terminado su función. El resultado es una sencilla programación del ancho de pulso.

En el modo one-shot, escribir en el byte de mayor peso de la memoria no afecta la operación del timer 1. Sin embargo, será necesario asegurar que el byte de menor peso contenga el dato apropiado antes de iniciar el conteo con una operación "escritura T1C-H".

Cuando el procesador escribe en el byte de mayor peso del contador, la bandera de interrupción T1 se pondrá en "0", el contenido del byte del menor peso de la memoria será transferido al byte de menor peso del contador, y el timer empezará a decrementarse a una velocidad igual al del reloj del sistema. Si la salida PB7 se habilita, esta señal se pondrá en "0" en las dos fases siguientes de operación de escritura.

Cuando el contador llegue a cero, la bandera de interrupción T1 se pondrá en "1", la terminal IRQ se pondrá en "0" (interrupción habilitada y la señal en PB7 se pondrá en "1". En este instante el contador continuará decrementándose a la velocidad del reloj del sistema. Esto permite que el procesador lea el contenido del contador para determinar el tiempo transcurrido después de la interrupción. Por lo tanto, la bandera de interrupción T1 no puede ser "1" de nuevo, a menos que haya sido puesta en "0" como se describió.

**Modo Free-Run del Timer 1.-** La ventaja más importante que se asocia a las memorias en T1, es la capacidad para producir una serie continua de interrupciones uniformemente espaciadas y al capacidad de producir una señal cuadrada en PB7 cuya frecuencia no se ve afectada por las variaciones en la respuesta en tiempo de las interrupciones del procesador.

En éste, la bandera de interrupción se pone en "1" y la señal en PB7 se invierte cada vez que el contador llegue a cero. Sin embargo, en lugar de continuar el decremento desde cero hasta un tiempo determinado, el timer automáticamente transfiere el contenido de la memoria hasta el contador (16 bits) y continúa el decremento desde ahí. La bandera de interrupción se puede poner en "0" escribiendo en T1C-H, leyendo T1C-L, ó escribiendo directamente en la bandera como se describirá posteriormente. Sin embargo, no es necesario volver a escribir en el timer para habilitar la puesta en "1" de la bandera de interrupción cuando se vuelva a parar el conteo.

---

Los timers del VIA también son "redisparrables". Volviendo a escribir en el contador siempre se reinicializará el periodo de detención. De hecho la detención se puede impedir completamente si el procesador continúa la reescritura del timer antes de que este llegue a cero. El Timer opera de esta manera si el procesador escribe en el byte de mayor peso del contador (T1C-H). Por lo tanto, cargando las memorias solamente, el procesador puede accesar el timer durante cada operación de conteo sin afectar el tiempo de detención en proceso. En su lugar, el dato cargado en la memoria determinará la longitud de el próximo período de tiempo de detención. Esta capacidad es particularmente valiosa en el modo free-run con la salida habilitada.

En este modo, la señal en PB7 es invertida y la bandera de interrupción es puesta en "1" con cada tiempo de detención. Respondiendo a las interrupciones con nuevos datos para las memorias, el procesador puede determinar el período de el siguiente medio ciclo de la señal de salida en PB7. De esta manera, se pueden generar formas de onda muy complejas.

**Operación del Timer 2.-** El Timer 2 opera como un timer de intervalo (en el modo one-shot solamente), ó como un contador para pulsos negativos continuos en la terminal PB6 del periférico. Se utiliza un bit de control en el Registro Auxiliar de Control para seleccionar uno de estos modos de operación. Este timer está comprendido por una memoria de "solo escritura" (T2L-L), un contador de menor peso de "solo lectura" y un contador de mayor peso de lectura/escritura. Los registros del contador actúan como un contador de 16 bits el cual se decrementa a una velocidad  $fi/2$  (reloj del sistema).

**Modo One-Shoot del Timer 2.-** Como un Timer de intervalo, T2 opera en el modo "one-shot" similar al Timer 1. En este modo, T2 proporciona una interrupción sencilla para cada operación "escritura T2C-H". Después de una detención del tiempo, el contador continuará el decremento. Sin embargo, la "puesta en 1" de la bandera de interrupción se deshabilitará después de la detención de tiempo inicial, así que éste será puesto en "1" por el contador, continuando el decremento hasta llegar a cero. El proceso debe reescribir T2C-H para habilitar la "puesta en 1" de la bandera de interrupción. La bandera de interrupción se pone en "0" leyendo T2C-L ó escribiendo en T2C-H.

**Modo de conteo de pulso del Timer 2.-** En el modo de conteo de pulso, T2 sirve primeramente para contar un predeterminado número de pulsos en su transición negativa que se presenta en la terminal PB6. Esto se lleva a cabo cargando primero un número en T2. Escribiendo dentro de T2C-H "limpia" la bandera de interrupción y permite que el contador se decremente cada vez que se aplique un pulso a PB6. La bandera de interrupción se pondrá en "1" cuando el conteo de T2 llegue a un valor menor que cero. En ese momento el contador continuará decrementándose con cada pulso en PB6. Por lo tanto es necesario volver a escribir en T2C-H para permitir que la bandera de interrupción se ponga en "1" en las subsecuentes operaciones de conteo.

**Operación del Registro de Corrimiento.-** El registro de corrimiento (SR) lleva a cabo la transferencia de datos dentro y fuera de la terminal CB2 bajo el control de un contador interno. Los pulsos a recorrer se pueden aplicar a la terminal CB1 desde una fuente externa ó, con la selección de modo apropiado, los pulsos a recorrer generados internamente aparecerán en la terminal CB1 para el control de dispositivos externos.

Los bits de control que seleccionan los modos de operación del registro de corrimiento están localizados en el Registro Auxiliar de Control.

**Operación de Interrupción.-** El control de interrupciones dentro del VIA tiene tres operaciones principales. Estas son: poner banderas a las interrupciones, habilitar interrupciones y señalar al procesador que una interrupción activa existe dentro del chip. Las banderas de interrupción se ponen en "1" por las condiciones de interrupción que existen dentro del chip ó en las entradas del chip. Estas banderas permanecen en "1" hasta que las interrupciones han sido atendidas. Para determinar la fuente de una interrupción, el microprocesador debe examinar estas banderas en un orden prioritario. Esto se lleva a cabo leyendo el registro bandera dentro del acumulador del procesador, recorriendo a este registro bandera dentro del acumulador del procesador, recorriendo este registro hacia la derecha ó hacia la izquierda y además usando instrucciones de brinco condicionado para detectar una interrupción activa.

Asociado con cada bandera de interrupción, hay un bit habilitador de interrupción. Este puede ponerse en "1" ó "0" por el procesador para habilitar interrupciones desde la bandera correspondiente. Si una interrupción se pone en "1" por una condición de interrupción, y el correspondiente bit habilitador está en "1", la salida de petición de interrupción (IRQ) se irá a "0". IRQ es una salida "open- collector" que puede conectarse con otros dispositivos en el sistema para interrumpir al procesador.

En el VIA, todas las banderas de interrupción están contenidas en un registro. Además, el bit 7 de este registro se leerá como un 1 lógico cuando una interrupción existe dentro del chip. Esto permite un conveniente "sondeo" de muchos dispositivos dentro de un sistema para localizar la fuente de una interrupción.

El PIA (6850) y el VIA (6522) son los periféricos que utiliza el micromódulo para la comunicación con otros módulos llamados interfase, con la acción en conjunto de éstos dos módulos se han dado grandes aplicaciones de la tarjeta de micromódulo.

A continuación se hará una descripción del mapa de memoria del micromódulo, y las diferentes opciones para su expansión de memoria.

La cantidad de direcciones de memoria está determinada por el número de bits utilizados por el microprocesador en su bus de direcciones. El MC6802, microprocesador utilizado en la tarjeta de micromódulo tiene un bus de direcciones de 16 bits, lo que nos dá cerca de 65000 direcciones ó un total de FFFF (en hexadecimal) direcciones posibles.

Cada uno de los dispositivos del micromódulo, VIAS (existen 2 en la tarjeta), ACIA, RAM y ROM utilizan cierta cantidad de direcciones de memoria. Para lograr una mejor distribución de las localidades posibles, el mapa se dividió en 8 zonas de 8K bytes cada una.

Las primeras cuatro zonas (0000-7FFF) son zonas disponibles para memoria externa a la del microprocesador excepto de la 0000 a la 007F que son ocupadas por el RAM del MPU.

La quinta zona que va desde la dirección 8000 hasta la 9FFF se utilizan para direccionar los periféricos del sistema. Los dos VIAS son direccionados de la 8000 a la 800F el VIA1 y de la 8010 a la 801F el VIA2 , desde la dirección 8020 se empieza la zona "espejo" de los vias , primero se espejea el VIA1 y luego el VIA2, luego se siguen repitiendo hasta la dirección 87FF. El ACIA se direccionó desde la 8800 hasta 8801, desde la 8802 hasta la 8FFF se espejea el contenido de las direcciones del ACIA. EL final de la quinta zona y toda la sexta zona están disponibles para memoria externa (de la 9000 a la 9FFF y de la A000 a la BFFF).

LA séptima zona comprendida de la dirección C000 hasta la DFFF que contiene la memoria del usuario formada por dos EPROM ó RAM de 2K x 8 ó en su lugar sustituir los dos EPROM de 4K x 8.

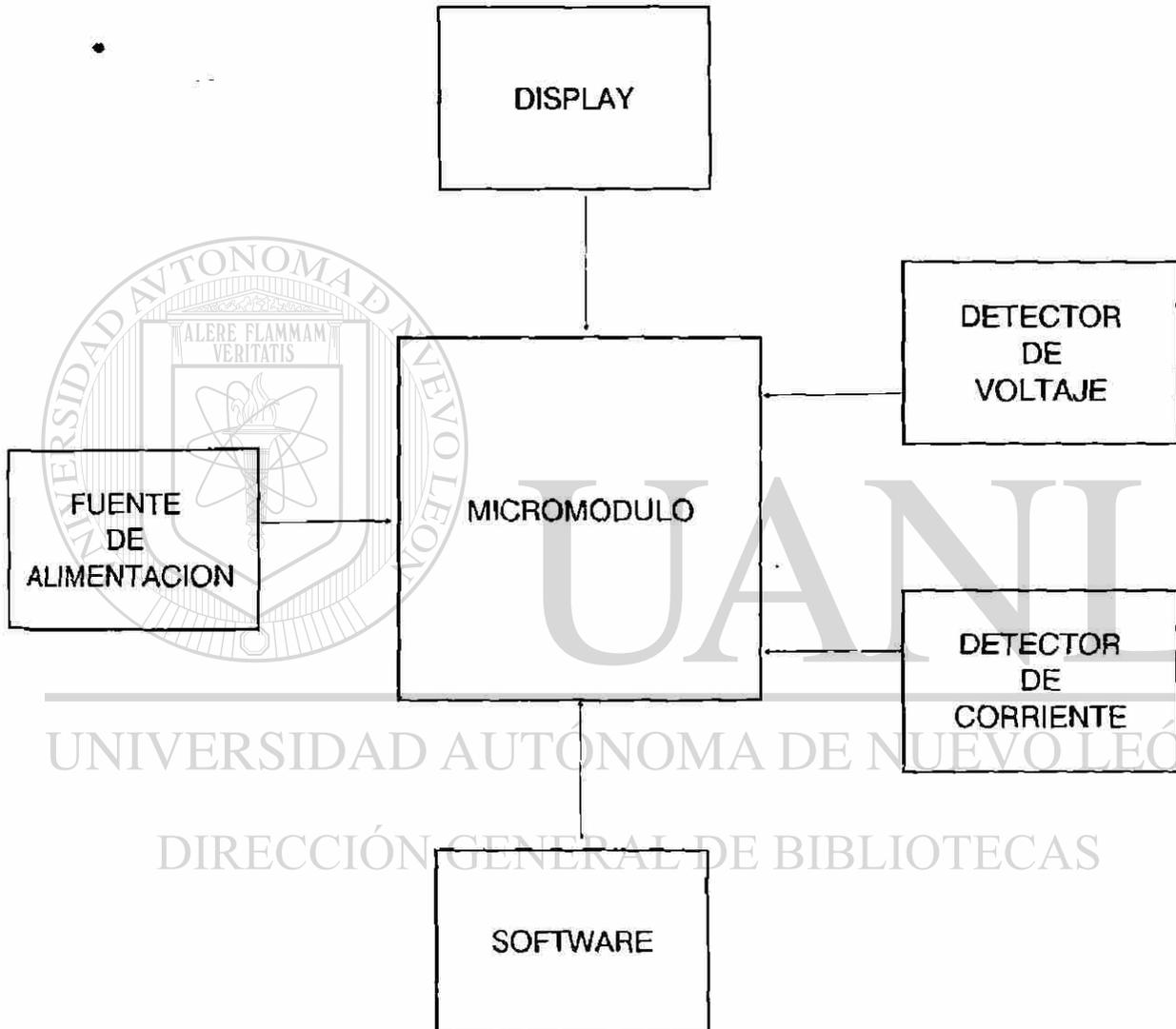
---

UNIVERSIDAD AUTÓNOMA DE NUEVO LEÓN <sup>®</sup>  
DIRECCIÓN GENERAL DE BIBLIOTECAS

La octava zona comprendida de la dirección E000 hasta la FFFF se utiliza para el módulo de debugueo ó memoria externa en donde se pueden utilizar memorias EPROM de 8K, 4K ó 2K x 8.

Para la utilización de los diferentes tipos de memoria, comunicación serie, tipos de interrupción del ACIA, decodificación del mapa de memoria, y selección entre VIAS ó PIAS se utilizan 10 zonas llamadas "jumpers" en las cuales con solo cambiar algunas conexiones de estas se podrá configurar el micromódulo para su mejor utilización.

## DIAGRAMA A BLOQUES



El proyecto, como se dijo anteriormente, presentará en display el factor de potencia de una carga en un sistema eléctrico. Está compuesto de varias etapas que son:

a) Micromódulo.-

Recibirá la información procedente de los detectores de voltaje y corriente y la procesará enviando a su vez dicha información procesada hacia al display.

b) Detector de Voltaje.-

Enviará un pulso al micromódulo indicándole que hubo un cruce por cero, en transición positiva, de la señal senoidal de voltaje que alimenta a la carga.

c) Detector de Corriente.-

Enviará un pulso al micromódulo indicándole que hubo un cruce por cero, en transición positiva, de la señal senoidal de la corriente que circula por la carga.

d) Display.-

Mostrará el factor de potencia en el siguiente formato 8.88

e) Software.-

Contiene el programa mediante el cual el micromódulo procesará la información enviada por los detectores de voltaje y corriente, y posteriormente enviarla hacia el display.

f) Fuente de Alimentación.-

Proporcionará un voltaje regulado de 5V C.D., para energizar el micromódulo así como a los detectores.

## EXPLICACION DEL PROYECTO

El factor de potencia tiene un definido significado físico en un sistema monofásico. Es la relación de la potencia real medida en Watts, a la potencia aparente, medida en Voltsampers.

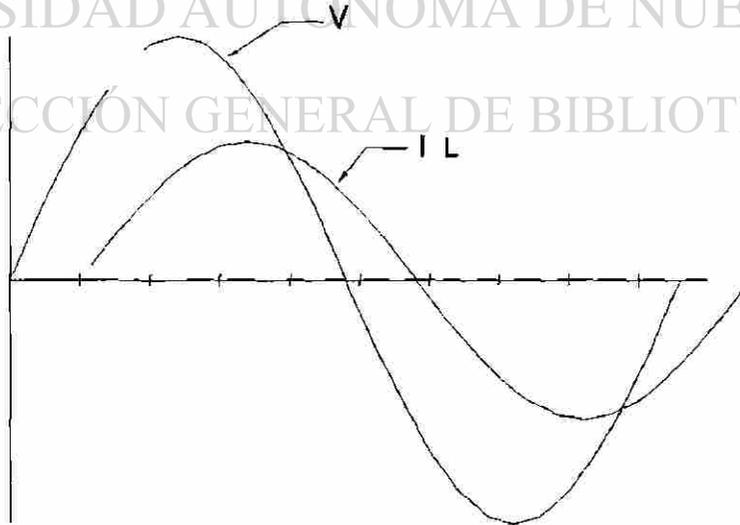
En condiciones de forma de onda senoidal, el factor de potencia es equivalente al coseno del desplazamiento angular de fase de tiempo entre el voltaje de fase y la corriente de fase.

Tomando como base lo anterior, de que a determinado desplazamiento angular corresponde un cierto valor de factor de potencia, fué como se inició el desarrollo del proyecto.

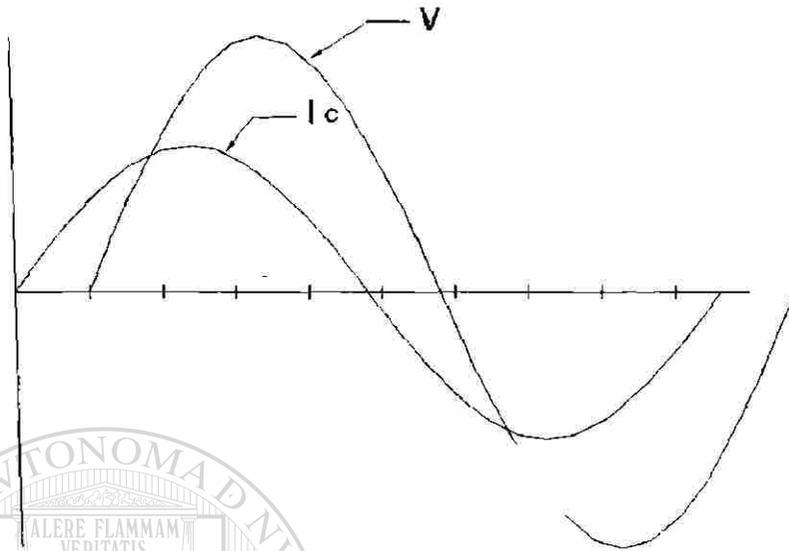
Partiendo de la forma que indica como obtener el factor de potencia:

$$\text{f.p.} = \cos \varnothing \quad \text{donde:}$$

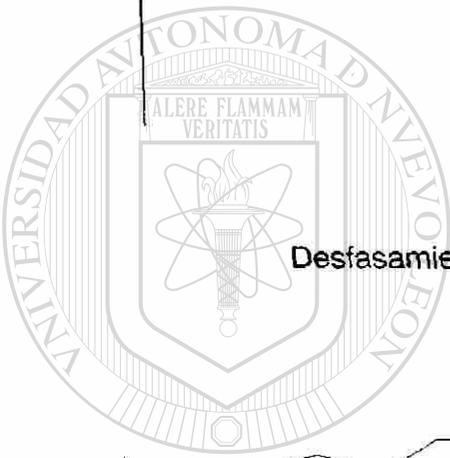
$\varnothing$  = Angulo de desfase entre voltaje y corriente



Desfase en carga inductiva



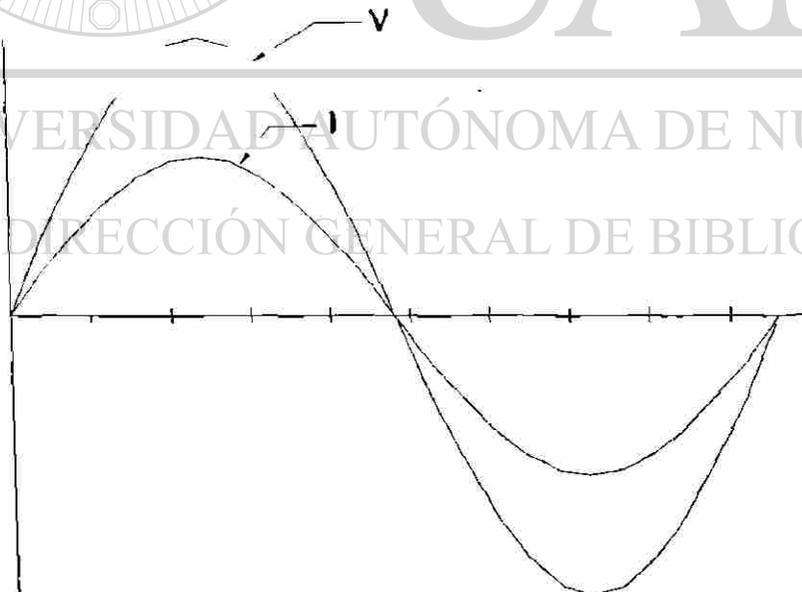
Desfasamiento en carga capacitiva



UANL

UNIVERSIDAD AUTÓNOMA DE NUEVO LEÓN

DIRECCIÓN GENERAL DE BIBLIOTECAS



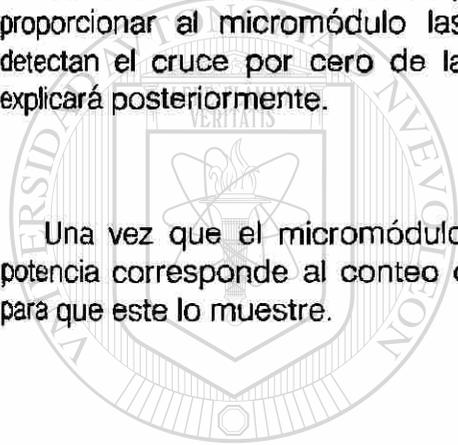
Desfasamiento en carga resistiva

Y tomando en consideración que ese ángulo es la diferencia en tiempo en la que aparece la señal de voltaje y corriente, se toma como estrategia principal contar ese tiempo y en relación a este obtener el factor de potencia.

El conteo del tiempo lo realizará el micromódulo, pero para que esto suceda el micromódulo necesita sensar dos señales, una que le indique cuando comenzar a contar y otra que le indique cuando parár.

Son los detectores de cruce por cero de voltaje y de corriente los encargados de proporcionar al micromódulo las señales anteriormente citadas. Acerca de como detectan el cruce por cero de las señales senoidales y como generan el pulso se explicará posteriormente.

Una vez que el micromódulo termina el conteo "busca" que valor de factor de potencia corresponde al conteo de tiempo realizado y lo envía a la etapa de display para que este lo muestre.



UANL

---

UNIVERSIDAD AUTÓNOMA DE NUEVO LEÓN

DIRECCIÓN GENERAL DE BIBLIOTECAS



## DETECTORES

### Detector de voltaje.-

Tiene la función de proporcionar un pulso cuando la señal senoidal de voltaje, que alimenta a la carga de la cual se va a obtener su factor de potencia, tiene un cruce por cero en transición positiva, es decir que solo se presentará ese pulso cuando después del cruce por cero se presente el semiciclo positivo, esto lo logra empleando un opto-transistor (4N26) y un multivibrador monoestable (74123 CI). Para una mejor explicación lo haré en subetapas, la primera correspondiente al opto-transistor y la segunda al multivibrador.

En el diagrama que se presenta de este circuito, se aprecia que la entrada de esta etapa se compone de una resistencia de 7.65 K en serie con el ánodo del led interno del 4N26 y el cátodo a su vez está conectado con el ánodo de un diodo externo, cuyo cátodo es la salida. A este circuito se alimenta directamente el voltaje en terminales de la carga. A la salida del 4N26 esta se encuentra conectada una resistencia de  $470\Omega$  de  $V_{cc}$  (5V) a el colector del transistor interno y el emisor conectado a tierra. El colector será la salida de esta subetapa.

Su funcionamiento es el siguiente:

Al presentarse el semiciclo positivo de la señal de voltaje el led pasa a un estado de conducción, con lo que excita la base del transistor y este pasa de corte a saturación, es entonces que el punto de salida (colector) pasa de un nivel alto (5V) a un nivel bajo (GND). Esta transición solo sucederá cuando se presente el semiciclo positivo de la señal de voltaje. En el semiciclo negativo el led queda polarizado inversamente con lo que no conduce y el transistor se queda en corte.

Con lo anterior se logra una señal cuadrada que va de un nivel bajo (GND) a un nivel alto (5V). La función de los elementos externos es la siguiente:

- a) Resistencia 1.- Limitar la corriente que circula por el led.
- b) Diodo.- Evitar que aparezca un voltaje negativo en el led.
- c) Resistencia 2.- Evitar que la fuente  $V_{cc}$  se ponga en corto cuando el transistor pasa a saturación.

La segunda subetapa es la que compone el multivibrador monoestable. Esta recibe como entrada la señal cuadrada generada a la salida del opto-transistor.

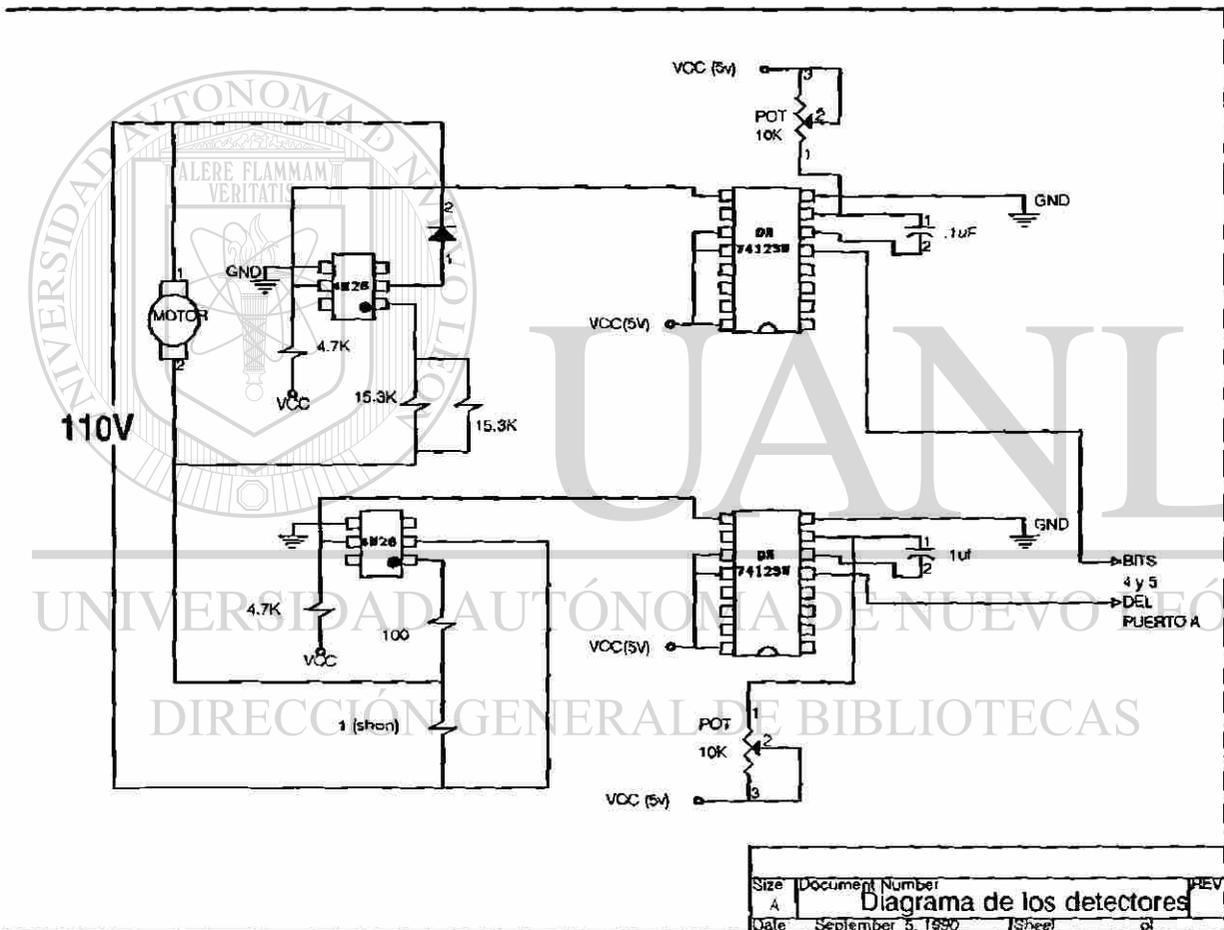
El multivibrador entregará a su salida un pulso de voltaje cuyo ancho estará en función de una resistencia y capacitancia externa.

El pulso que se generará se puede presentar para diferentes modos a la entrada. En el proyecto fué programado para que con la transición negativa ( de 5V a GND ) opere, que es la que se presenta la salida del opto-transistor cuando hay un cruce por cero en la señal de voltaje. Ese pulso que se genera, cuando hay un cruce por cero, lo detecta el micromódulo para iniciar el conteo.

#### Detector de Corriente.-

Tiene una función similar al detector de voltaje, solo que este generará el pulso a su salida cuando se presente un cruce por cero de la señal de corriente, que circula por la carga. Dicha señal la estará sensando a través de una resistencia shunt (bajo valor ohmico y alta potencia) que se encuentra en serie con la carga. A diferencia del detector de voltaje, este no tiene a su entrada un diodo externo porque el voltaje que se presenta no es muy alto. Tiene si, una resistencia limitadora de la corriente que circula por el led. El análisis de su salida es similar al detector de voltaje. El pulso que se generará lo detectará el micromódulo y para el conteo.

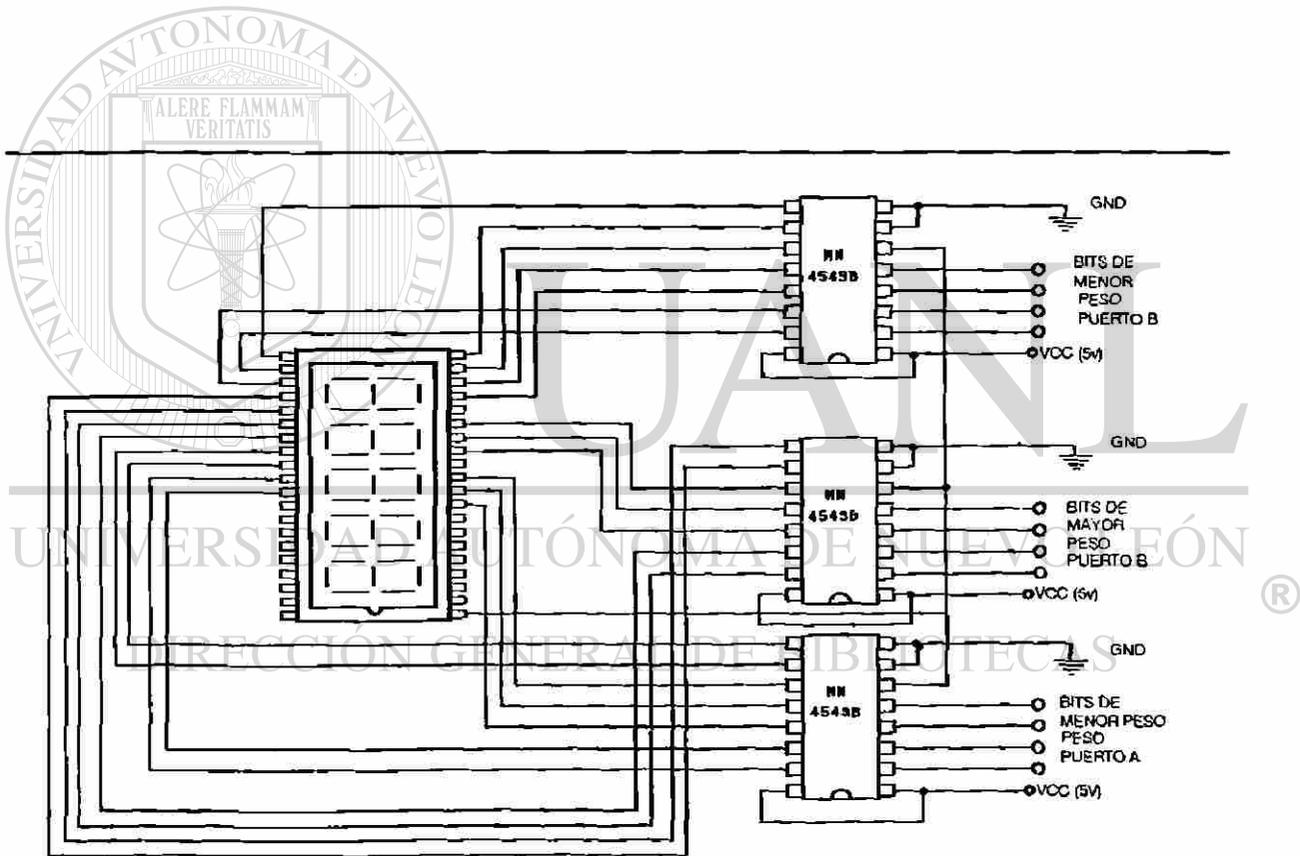
DIRECCIÓN GENERAL DE BIBLIOTECAS



## DISPLAY

Esta etapa tiene como finalidad mostrar, en el formato 8.88, el factor de potencia. Esta etapa está compuesta de decodificadores (3) de BCD a 7 segmentos, con la característica de que son especiales para display's de cristal liquido (LCD).

Los datos en BCD le llegan a esta etapa directamente de los puertos A y B del micromódulo, dichos datos son decodificados a 7 segmentos y conectados a las respectivas entradas en el display (LCD). Se muestra en el circuito que se presenta como se conectan al display. Tanto el decodificador como el display necesitan que se les excite con una onda cuadrada de 30 a 200 Hz para que sean visibles los datos.



Size	Document Number
A	Diagrama del display
Date	September 5, 1999

## DESARROLLO DEL SOFTWARE

Esta etapa mostrará y explicará el programa que se está ejecutando en el micromódulo para la obtención del factor de potencia.

Primeramente se explicará el programa de una forma funcional, es decir cuales son las funciones que está realizando y posteriormente se detallará como las esta realizando.

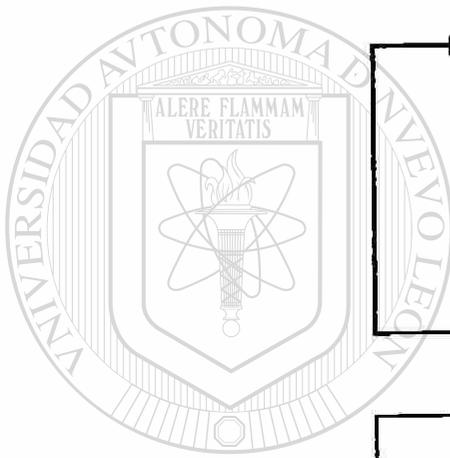
Antes de entrar a la explicación es conveniente indicar lo siguiente:

- El período de una señal senoidal de frecuencia 60 Hz es de 16.66 mseg ( 16,666.6  $\mu$ seg )
- El tiempo en que transcurre un grado es de 46.29  $\mu$ seg.
- La frecuencia del cristal del micromódulo es de 3.579545 MHz
- El micromódulo divide la frecuencia entre 4, con lo que trabaja a 0.8948862 MHz
- El período de esa señal, que es la que corresponde a un ciclo del MPU, será de 1.1174605  $\mu$ seg.

El micromódulo contará el tiempo que transcurre entre el instante en que se presenta el pulso de voltaje y el de corriente.

En el caso de una carga inductiva pura, la corriente se desfasará 90°, y en el caso de una capacitiva -90°. Por lo que en total de la onda senoidal el pulso de corriente podrá presentarse de 0° a 90° ó de 270° a 360°.

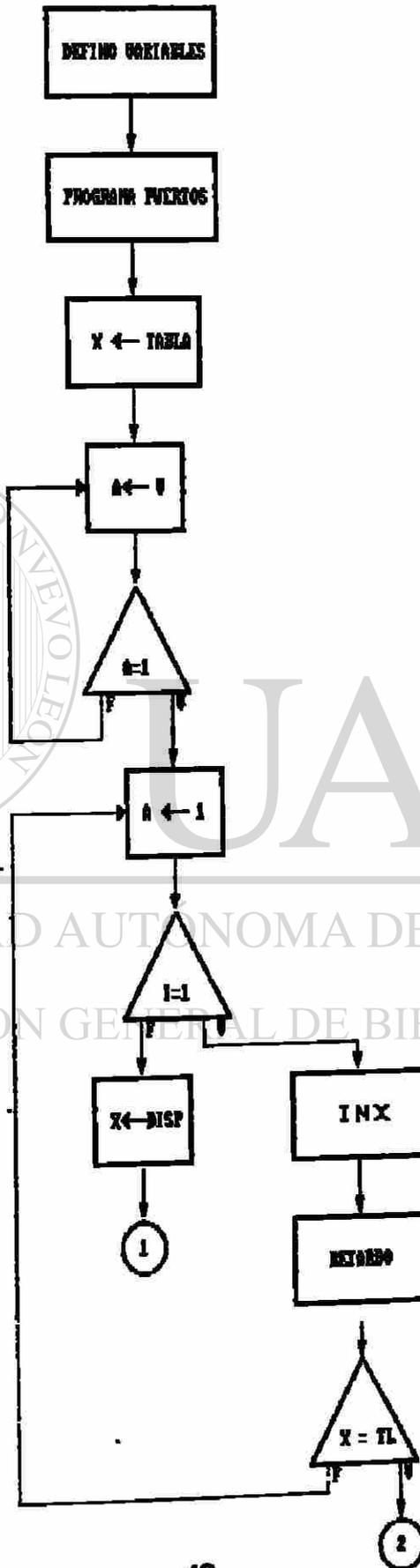
El proceso de contar siempre iniciará a partir del pulso de voltaje y parará con el de corriente.

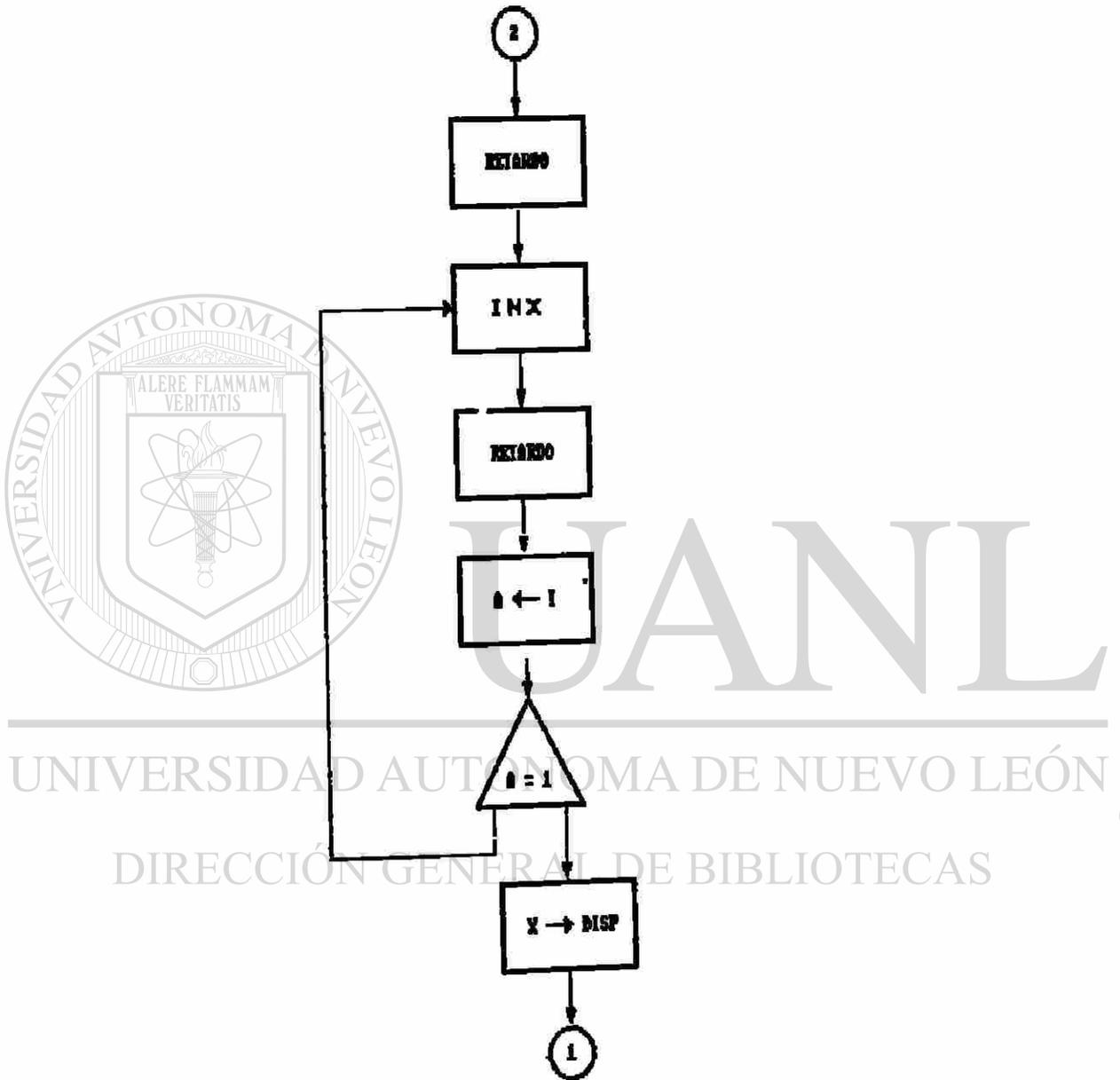


JUAN L

UNIVERSIDAD AUTÓNOMA DE NUEVO LEÓN

DIRECCIÓN GENERAL DE BIBLIOTECAS



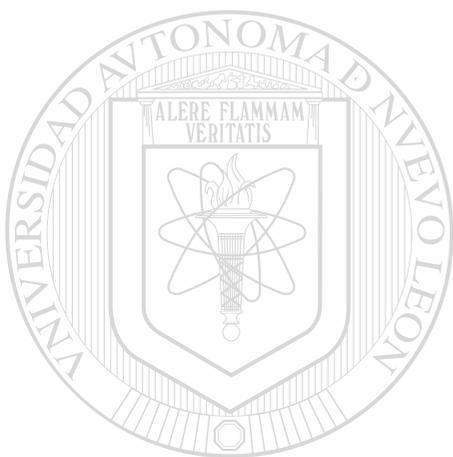


El programa se estructura, de acuerdo al diagrama de flujo que se presenta, de la siguiente forma:

- 1.- Defino las localidades de memoria que voy a trabajar como variables.
- 2.- Programo los puertos para que operen como salidas ó entradas.
- 3.- Cargo en el registro índice el inicio de la tabla que contiene el factor de potencia.
- 4.- Leo si existe el pulso de voltaje.
- 5.- En caso de que no exista regreso al paso 4.
- 6.- Leo si existe el pulso de corriente.
- 7.- En caso de que exista despliego el valor de la tabla en el display y regreso al paso 3.
- 8.- Incremento el registro índice para irme al siguiente valor de la tabla.
- 9.- Voy a una rutina de retraso de tiempo para que cada incremento del registro índice sea hasta que transcurra el tiempo correspondiente a un grado.
- 10.- Comparo el registro índice contra el ultimo valor correspondiente a una carga inductiva. Si es igual voy a una rutina de retardo. Esta rutina dura el tiempo que transcurre entre  $90^\circ$  y  $270^\circ$  (puesto que aquí no se puede presentar pulso de corriente). En caso de que la comparación resulte menor regreso al paso 6.
- 11.- Incremento el registro índice para irme al siguiente valor de la tabla.
- 12.- Leo si existe el pulso de corriente.
- 13.- En caso de que no exista regreso al paso 11.
- 14.- Cargo el valor que contenga el registro índice y lo coloco en el display

15.- Regreso al paso 3.

La etapa técnica se explicará en el listado mismo del programa.



# UANL

---

UNIVERSIDAD AUTÓNOMA DE NUEVO LEÓN

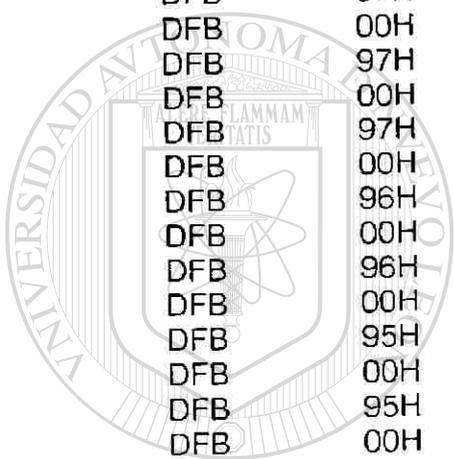


DIRECCIÓN GENERAL DE BIBLIOTECAS

	CPU	"6811.TBL"	
	HOF	"MOT8"	
	ORG	0A000H	
	PTOA:	EQU	8800H ;VARIABLES QUE SE
	PTOB:	EQU	8801H ;EMPLEAN EN EL
	DDRA:	EQU	8802H ;TRANSCURSO DEL
	DDRB:	EQU	8803H ;PROGRAMA
	ORG	0A100H	
	LDX	#TABLA	;CARGA LA DIRECCION DEL
			;INICIO DE LA TABLA
	LDA	#0FH	;PROGRAMA BITS 0,1,2,3
START:	STAA	DDRA	;COMO SALIDA, Y BITS 4,5,6,7
			;COMO ENTRADA EN EL PUERTO A
	LDA	#0FFH	;PROGRAMA TODO EL PUERTO B
	STAA	DDRB	;COMO SALIDA
	LDAB	PTOA	;PREGUNTA SI HAY UN NIVEL ALTO
	ANDB	#20H	;EN EL BIT 5 DEL PUERTO A, QUE
	CMPB	#20H	;ES EL QUE CORRESPONDE AL PULSO
BACK1:	BNE	BACK1	;QUE SE PRESENTARA CUANDO HAY
			;UN CRUCE POR CERO EN EL VOLTAJE,
			;DE NO SER ASI VUELVE A PREGUNTAR
	LDAB	PTOA	;PREGUNTA SI HAY UN NIVEL ALTO
	ANDB	#10H	;EN EL BIT 4 DEL PUERTO A, QUE
	CMPB	#10H	;ES EL QUE CORRESPONDE AL PULSO
BACK2:	BEQ	DISPLAY	;QUE SE PRESENTARA CUANDO HAY
			;UN CRUCE POR CERO EN CORRIENTE,
			;DE SER ASI DESPLIEGA F.P.
	:INX		;INCREMENTA REGISTRO INDICE PARA
	INX		;CAMBIAR EL VALOR DE F.P.
	BRA	DELAY	;RETARDO DE TIEMPO PARA QUE
			;TRANSCURRA UN GRADO
	CPX	#0A5B4H	;VERIFICA SI EL REGISTRO INDICE
	BLO	BACK2	;HA PASADO LOS VALORES QUE CO-
HERE:			;RRESPONDEN A UNA CARGA INDUCTIVA
			;DE NO SER ASI REGRESA A PREGUNTAR
			;POR EL PULSO DE CORRIENTE
	BRA	RETARDO	;RETARDO DE TIEMPO PARA QUE TRANS-
			;CURRAN 180 GRADOS (90-270)
	:INX		;INCREMENTA EL REGISTRO INDICE PARA
	INX		;CAMBIAR EL VALOR DE F.P. (CAP.)
BACK3:	BRA	DELAY	;RETARDO DE TIEMPO PARA QUE
			;TRANSCURRA UN GRADO



DFB	99H
DFB	00H
DFB	99H
DFB	00H
DFB	99H
DFB	00H
DFB	99H
DFB	00H
DFB	98H
DFB	00H
DFB	98H
DFB	00H
DFB	98H
DFB	00H
DFB	97H
DFB	00H
DFB	97H
DFB	00H
DFB	97H
DFB	00H
DFB	96H
DFB	00H
DFB	96H
DFB	00H
DFB	95H
DFB	00H
DFB	95H
DFB	00H
DFB	94H
DFB	00H
DFB	93H
DFB	00H
DFB	93H
DFB	00H
DFB	92H
DFB	00H
DFB	92H
DFB	00H
DFB	91H
DFB	00H
DFB	90H
DFB	00H
DFB	89H
DFB	00H
DFB	89H
DFB	00H
DFB	88H
DFB	00H
DFB	87H
DFB	00H



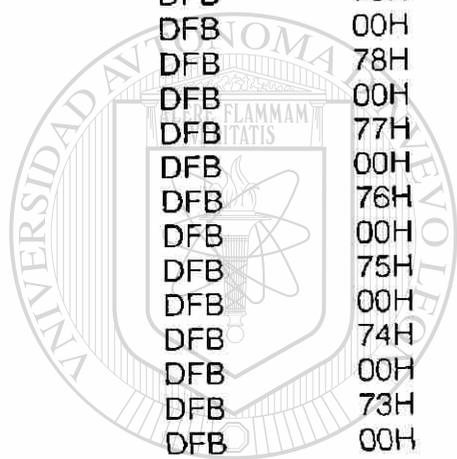
# UANL

UNIVERSIDAD AUTÓNOMA DE NUEVO LEÓN

DIRECCIÓN GENERAL DE BIBLIOTECAS



DFB	86H
DFB	00H
DFB	85H
DFB	00H
DFB	84H
DFB	00H
DFB	83H
DFB	00H
DFB	82H
DFB	00H
DFB	81H
DFB	00H
DFB	80H
DFB	00H
DFB	79H
DFB	00H
DFB	78H
DFB	00H
DFB	77H
DFB	00H
DFB	76H
DFB	00H
DFB	75H
DFB	00H
DFB	74H
DFB	00H
DFB	73H
DFB	00H
DFB	71H
DFB	00H
DFB	70H
DFB	00H
DFB	69H
DFB	00H
DFB	68H
DFB	00H
DFB	66H
DFB	00H
DFB	65H
DFB	00H
DFB	64H
DFB	00H
DFB	62H
DFB	00H
DFB	61H
DFB	00H
DFB	60H
DFB	00H
DFB	58H
DFB	00H



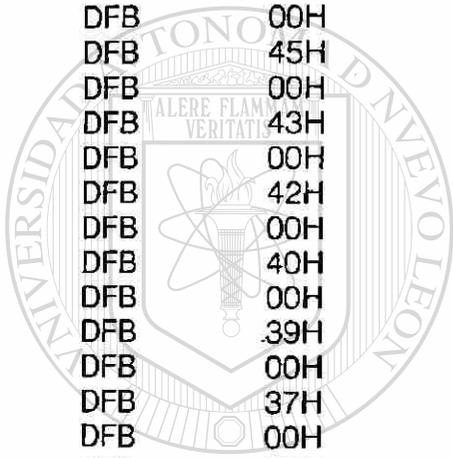
# UANL

UNIVERSIDAD AUTÓNOMA DE NUEVO LEÓN

DIRECCIÓN GENERAL DE BIBLIOTECAS



DFB	57H
DFB	00H
DFB	55H
DFB	00H
DFB	54H
DFB	00H
DFB	52H
DFB	00H
DFB	51H
DFB	00H
DFB	50H
DFB	00H
DFB	48H
DFB	00H
DFB	46H
DFB	00H
DFB	45H
DFB	00H
DFB	43H
DFB	00H
DFB	42H
DFB	00H
DFB	40H
DFB	00H
DFB	39H
DFB	00H
DFB	37H
DFB	00H
DFB	35H
DFB	00H
DFB	34H
DFB	00H
DFB	32H
DFB	00H
DFB	30H
DFB	00H
DFB	29H
DFB	00H
DFB	27H
DFB	00H
DFB	25H
DFB	00H
DFB	24H
DFB	00H
DFB	22H
DFB	00H
DFB	20H
DFB	00H
DFB	19H
DFB	00H



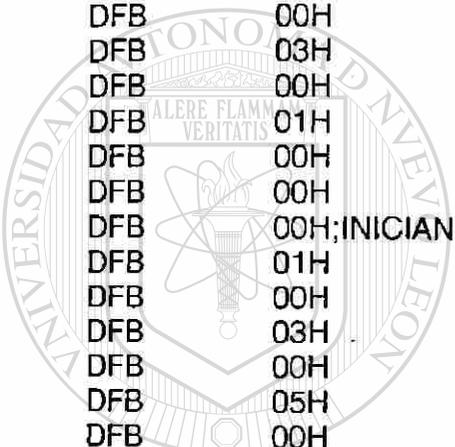
# UANL

UNIVERSIDAD AUTÓNOMA DE NUEVO LEÓN

DIRECCIÓN GENERAL DE BIBLIOTECAS



DFB	17H
DFB	00H
DFB	15H
DFB	00H
DFB	13H
DFB	00H
DFB	12H
DFB	00H
DFB	10H
DFB	00H
DFB	08H
DFB	00H
DFB	06H
DFB	00H
DFB	05H
DFB	00H
DFB	03H
DFB	00H
DFB	01H
DFB	00H
DFB	00H
DFB	00H; INICIAN VALORES CAPACITIVOS
DFB	01H
DFB	00H
DFB	03H
DFB	00H
DFB	05H
DFB	00H
DFB	06H
DFB	00H
DFB	08H
DFB	00H
DFB	10H
DFB	00H
DFB	12H
DFB	00H
DFB	13H
DFB	00H
DFB	15H
DFB	00H
DFB	17H
DFB	00H
DFB	19H
DFB	00H
DFB	20H
DFB	00H
DFB	22H
DFB	00H
DFB	24H
DFB	00H

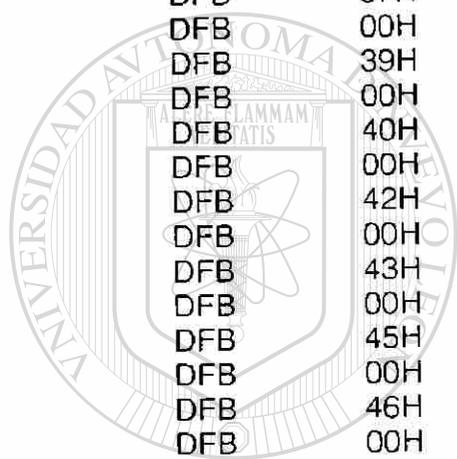


# UANL

UNIVERSIDAD AUTÓNOMA DE NUEVO LEÓN  
 DIRECCIÓN GENERAL DE BIBLIOTECAS



DFB	25H
DFB	00H
DFB	27H
DFB	00H
DFB	29H
DFB	00H
DFB	30H
DFB	00H
DFB	32H
DFB	00H
DFB	34H
DFB	00H
DFB	35H
DFB	00H
DFB	37H
DFB	00H
DFB	39H
DFB	00H
DFB	40H
DFB	00H
DFB	42H
DFB	00H
DFB	43H
DFB	00H
DFB	45H
DFB	00H
DFB	46H
DFB	00H
DFB	48H
DFB	00H
DFB	49H
DFB	00H
DFB	51H
DFB	00H
DFB	52H
DFB	00H
DFB	54H
DFB	00H
DFB	55H
DFB	00H
DFB	57H
DFB	00H
DFB	58H
DFB	00H
DFB	60H
DFB	00H
DFB	61H
DFB	00H
DFB	62H
DFB	00H



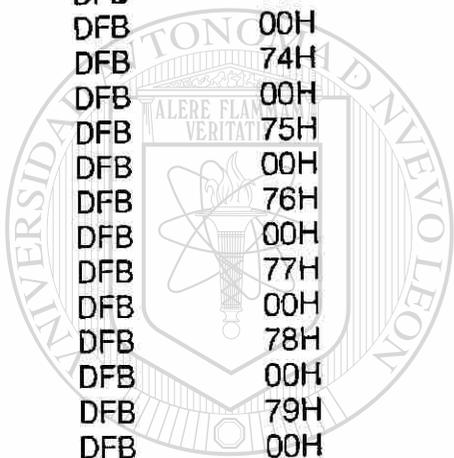
# UANL

UNIVERSIDAD AUTÓNOMA DE NUEVO LEÓN

DIRECCIÓN GENERAL DE BIBLIOTECAS



DFB	64H
DFB	00H
DFB	65H
DFB	00H
DFB	66H
DFB	00H
DFB	68H
DFB	00H
DFB	69H
DFB	00H
DFB	70H
DFB	00H
DFB	71H
DFB	00H
DFB	73H
DFB	00H
DFB	74H
DFB	00H
DFB	75H
DFB	00H
DFB	76H
DFB	00H
DFB	77H
DFB	00H
DFB	78H
DFB	00H
DFB	79H
DFB	00H
DFB	80H
DFB	00H
DFB	81H
DFB	00H
DFB	82H
DFB	00H
DFB	83H
DFB	00H
DFB	84H
DFB	00H
DFB	85H
DFB	00H
DFB	86H
DFB	00H
DFB	87H
DFB	00H
DFB	88H
DFB	00H
DFB	89H
DFB	00H
DFB	89H
DFB	00H



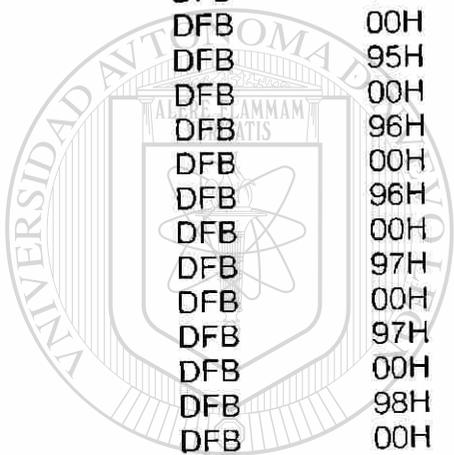
# UANL

UNIVERSIDAD AUTÓNOMA DE NUEVO LEÓN

DIRECCIÓN GENERAL DE BIBLIOTECAS



DFB	90H
DFB	00H
DFB	91H
DFB	00H
DFB	92H
DFB	00H
DFB	92H
DFB	00H
DFB	93H
DFB	00H
DFB	93H
DFB	00H
DFB	94H
DFB	00H
DFB	95H
DFB	00H
DFB	95H
DFB	00H
DFB	96H
DFB	00H
DFB	96H
DFB	00H
DFB	97H
DFB	00H
DFB	97H
DFB	00H
DFB	98H
DFB	00H
DFB	98H
DFB	00H
DFB	98H
DFB	00H
DFB	99H
DFB	00H
DFB	99H
DFB	00H
DFB	99H
DFB	00H
DFB	99H
DFB	00H
DFB	99H
DFB	00H
DFB	99H
DFB	01H
DFB	00H



# UANL

UNIVERSIDAD AUTÓNOMA DE NUEVO LEÓN

DIRECCIÓN GENERAL DE BIBLIOTECAS





# UANL

UNIVERSIDAD AUTÓNOMA DE NUEVO LEÓN

DIRECCIÓN GENERAL DE BIBLIOTECAS

®

TM  
Z5  
.K  
FL  
19  
C